

⑫ 公表特許公報(A)

平1-500634

⑬ 公表 平成1年(1989)3月1日

⑭ Int.Cl.⁴

識別記号

庁内整理番号

審査請求有

H 04 L 11/20

Z-7830-5K

予備審査請求 未請求

部門(区分) 7(3)

(全27頁)

⑮ 発明の名称 自己ルーチング交換システム

⑯ 特 願 昭63-501505

⑰ 出 願 昭63(1988)2月5日

⑱ 翻訳文提出日 昭63(1988)10月6日

⑲ 国際出願 PCT/JP88/00113

⑳ 国際公開番号 WO88/05982

㉑ 国際公開日 昭63(1988)8月11日

優先権主張 ㉒ 昭62(1987)2月6日 ㉓ 日本(JP) ㉔ 特願 昭62-26164

㉕ 発明者 初 鹿 野 一 雄

東京都町田市成瀬2731番1号 ウインディアN5 11号室

㉖ 発明者 村 上 孝 三

神奈川県横浜市緑区すすき野2丁目4番9-203号

㉗ 発明者 阿 部 俊 二

神奈川県横浜市港南区上大岡西1-10-9 ニューバース上大岡6

㉘ 発明者 西 野 哲 男

神奈川県川崎市中原区新城町8-13 矢嶋マンション303

㉙ 発明者 福 井 敏 正

神奈川県川崎市中原区木月住吉町1885-3 木月住吉団地3-32

㉚ 出 願 人 富 士 通 株 式 会 社

神奈川県川崎市中原区上小田中1015番地

㉛ 代 理 人 弁理士 青 木 朗 外3名

㉜ 指 定 国 AT(広域特許), BE(広域特許), CH(広域特許), DE(広域特許), FR(広域特許), GB(広域特許), IT(広域特許), JP, LU(広域特許), NL(広域特許), SE(広域特許), US

最終頁に続く

請 求 の 範 囲

1. 複数の入線から入力される各伝送情報および識別情報の対のうちの該識別情報を監視して、該入線から該識別情報により指定された、前記入線に対応する出線に至るまでのパスを設定するための制御情報を生成して前記伝送情報に付加するルート設定手段と、

前記複数の入線および出線の間に、1つの入線から1つの出線に至るまでのパスが複数形成されるようなマルチパスの通話路であって、かつ、前記制御情報を監視して、当該伝送情報を当該入線から出線に導くためのパスを、前記複数のパスの中から選択して設定し、該伝送情報を自律的に当該出線から送出せしめるための自己ルーチング通話路とから構成される自己ルーチング交換システム。

2. 前記ルート設定手段は、呼処理部および各前記入線対応で設けられた前記制御情報の付加回路を有してなり、

呼設定フェーズにおいて、該呼処理部は、前記伝送情報の送出元から、該伝送情報の転送先を示す前記識別情報が通知されて、予め定めた該識別情報と前記制御情報との対応関係を記録するテーブルを参照し、

転送フェーズにおいて、その通知された識別情報に対応する前記制御情報を前記テーブルより読み出して、前記付加回路にて、前記伝送情報に付加し、該制御情報に従って、該伝送情報を前記自己ルーチング通話路内でスイッチし、目的とする出線へ自律的に導く請求の範囲第1項記載の自己ルーチング交換システム。

ング交換システム。

3. 前記自己ルーチング通話路が、少なくとも1つの基本スイッチングユニットからなり、該基本スイッチングユニットは、前記入線側から前記出線側に向かって多段リンク接続される、入力段自己ルーチングスイッチモジュールと、中間段自己ルーチングスイッチモジュールと、出力段自己ルーチングスイッチモジュールとからなる請求の範囲第2項に記載の自己ルーチング交換システム。

4. 前記入力段自己ルーチングスイッチモジュールはN/n個の自己ルーチングスイッチモジュールからなり、かつ、各該自己ルーチングスイッチモジュールはn個の入力端とm個の出力端を備え、

前記中間段自己ルーチングスイッチモジュールはm個の自己ルーチングスイッチモジュールからなり、かつ、各該自己ルーチングスイッチモジュールは、N/n個の入力端と、N/n個の出力端を備え、

前記出力段自己ルーチングスイッチモジュールはN/n個の自己ルーチングスイッチモジュールからなり、かつ、各該自己ルーチングスイッチモジュールはm個の入力端とn個の出力端を備えてなり、

N本の前記入線とN本の前記出線との間に、多段リンク接続された前記入力段、中間段および出力段自己ルーチングスイッチモジュールを挿入する請求の範囲第3項に記載の自己ルーチング交換システム。

5. 前記中間段自己ルーチングスイッチモジュールを、別

の多段リンク接続された入力段、中間段および出力段スイッチモジュールで置換する請求の範囲第3項記載の自己ルーチング交換システム。

6. 前記自己ルーチングスイッチモジュールはそれぞれ、複数の入力端および複数の出力端を備えると共に、各該入力端毎に設けられる同一の回路群とからなり、該回路群は：

前記制御情報を検出するための検出回路と；検出された該制御情報をデコードするデコード回路と；該デコード回路の出力によって定められた1つの出力ラインから入力情報を送出するデマルチプレクサと；該デマルチプレクサの入力として印加すべき前記伝送情報に所定の遅延を加える遅延回路と；該デマルチプレクサに接続する複数の前記出力ラインの各々に接続するバッファメモリと；該バッファメモリからのリクエスト信号又は割込みに応じて、当該バッファメモリ内の情報を選択して前記出力端に送出するセクタとからなる請求の範囲第3項記載の自己ルーチング交換システム。

7. 前記バッファメモリがファーストインファーストアウト(FIFO)メモリである請求の範囲第6項記載の自己ルーチング交換システム。

8. 入力端数が p 、出力端数が q ($p < q$) なる自己ルーチングスイッチモジュールを、前記入線対応に複数個備えて入力段自己ルーチングスイッチモジュールとなし、

入力端数が q 、出力端数が p なる自己ルーチングスイッチモジュールを複数個有し、各前記入力段自己ルーチングスイッチモジュールとリンク接続する中間段自己ルーチングスイ

ッチモジュールとなし、

入力端数が q 、出力端数が p なる自己ルーチングスイッチモジュールを複数個有し、各前記中間段自己ルーチングスイッチモジュールとリンク接続する出力段自己ルーチングスイッチモジュールとなし、

前記入力段自己ルーチングスイッチモジュールの各々の出力端のうち($q-p$)個が空き端をなし、

前記中間段自己ルーチングスイッチモジュールの各々の入力端のうち($q-p$)個が空き端をなし、

前記出力段自己ルーチングスイッチモジュールの各々の入力端のうち($q-p$)個が空き端をなす請求の範囲第3項記載の自己ルーチング交換システム。

9. 前記入線数および前記出線数が増大したとき、前記入力段、中間段および出力段自己ルーチングスイッチモジュールのそれぞれを構成する自己ルーチングスイッチモジュールの数を増大すると共に、

前記入力段および中間段自己ルーチングスイッチモジュール間の前記の($q-p$)個の空き出力端および($q-p$)個の空き入力端も含めて、全ての出力端および入力端を相互にリンク接続し、

前記中間段および出力段自己ルーチングスイッチモジュール間の出力端および入力端が、前記の($q-p$)個の空き入力端も含めて、相互に全てリンク接続し、このため該中間段自己ルーチングスイッチモジュールの各出力端は少なくとも2つの分岐ラインを形成して該出力段自己ルーチングスイ

ッチモジュールの各々の入力端に接続される請求の範囲第8項記載の自己ルーチング交換システム。

10. 前記自己ルーチングスイッチモジュールの群のうちの1つがオプションサービスモジュールとして機能し、前記制御情報にオプションサービス要求を含ませることにより、当該入線からの入力情報に対してオプションサービスを加えて前記出線に送出する請求の範囲第3項記載の自己ルーチング交換システム。

11. 前記オプションサービスモジュールが、前記中間段自己ルーチングスイッチモジュールの群の中の1つと入れ替えて設けられる請求の範囲第10項記載の自己ルーチング交換システム。

12. 前記オプションサービスが、入力情報のエラー制御である請求の範囲第11項記載の自己ルーチング交換システム。

13. 前記入力段自己ルーチングスイッチモジュールの各々の出力端群の1つをそれぞれ取り出して前記オプションサービスモジュールの各入力端に接続し、前記出力段自己ルーチングスイッチモジュールの各々の入力端群の1つを取り出して該オプションサービスモジュールの各出力端に接続する請求の範囲第11項記載の自己ルーチング交換システム。

14. 前記オプションサービスモジュールの各入力端にバッファメモリを設け、該バッファメモリ内の情報を入力としてオプションサービスを実行する、プロセッサおよびオプションサービス部と、オプションサービスを受けた情報を所定の出力段自己ルーチングスイッチモジュールに送出するセク

タとからなる請求の範囲第11項記載の自己ルーチング交換システム。

15. 前記入力情報にエラーが含まれているとき、前記制御情報を更新して、当該送信元より入力情報の再送を行う請求の範囲第12項記載の自己ルーチング交換システム。

16. 各前記自己ルーチングスイッチモジュールは、前記呼処理部による制御のもとに、優先処理することが可能である請求の範囲第3項記載の自己ルーチング交換システム。

17. 前記優先処理が、前記伝送情報の属性に応じて定められ、前記各段の自己ルーチングスイッチモジュール内に、音声、映像等の即時性が要求される伝送情報が入力されたとき、他の即時性が要求されない伝送情報よりも時間的に早く、出力段に送出される請求の範囲第16項記載の自己ルーチング交換システム。

18. 前記優先処理が、前記各段の自己ルーチングスイッチモジュール内のバッファメモリに入力情報がストアされ、かつ、該バッファメモリが該入力情報によって過負荷状態になったとき、開始され、負荷状態の軽い自己ルーチングスイッチモジュールを優先的に経由して前記バスを設定する請求の範囲第16項記載の自己ルーチング交換システム。

19. 前記呼処理部が、前記呼設定フェーズにおいて、伝送情報の属性を検出し、優先処理を行うように予め割り付けられた自己ルーチングスイッチモジュールを経由するような前記制御情報が生成される請求の範囲第17項記載の自己ルーチング交換システム。

20. 各前記バッファメモリは、該バッファメモリが一定値以上、前記入力情報を格納したときに過負荷信号を出力し、該過負荷信号を前記処理部に通知する請求の範囲第 18 項記載の自己ルーチング交換システム。

21. 前記自己ルーチング通路が、

各前記入線からの前記伝送情報および前記制御情報からなる入力情報を時間的に直列な形式に変換する変換手段と、

該変換手段から順次に送出される伝送情報を順次に格納する伝送情報記憶手段と、

該伝送情報記憶手段をアクセスするアドレスを格納して伝送情報記憶手段に、前記制御情報を書込みアドレスとして順次に与える書込みアドレス記憶手段と、

複数の出線対応にそれぞれ設けられた複数の読出しアドレス記憶手段と、

前記書込みアドレス記憶手段から送出される、前記伝送情報記憶手段のアドレスに格納される制御情報で指定される出線に対応する前記読出しアドレス記憶手段に読出しアドレスを格納するアドレス分配手段と、

複数の前記読出しアドレス記憶手段を順次に選択して、その格納アドレスを伝送情報記憶手段に、読出しアドレスとして与えるとともに前記書込みアドレス記憶手段に格納するアドレス選択手段と、

該アドレス選択手段のアドレス選択によって前記伝送情報記憶手段から順次に読み出される伝送情報を、選択された該読出しアドレス記憶手段に対応する出線に分配する分配手段

25. 前記自己ルーチング通路が、

各前記出線対応に設けられ、かつ、前記入線の伝送速度の $N+1$ 倍 (N は該出線の数) で動作する記憶手段と、

各前記入線対応に設けられ、前記入線からの伝送情報および前記制御情報からなる入力情報を前記 $N+1$ 倍の速度に変換する速度変換手段と、

各該速度変換手段からの出力を、前記記憶手段の所定の 1 つに振り分けるセレクトと、

前記速度変換手段、セレクトおよび前記記憶手段を制御して、前記 $N+1$ 倍の速度によって形成された $N+1$ 個のフェーズのうち、 N フェーズの間に前記記憶手段に入力情報の書込みを行い、残りの 1 つのフェーズで前記出線への読出しを行う制御手段とからなる請求の範囲第 2 項記載の自己ルーチング交換システム。

26. 前記記憶手段および前記制御手段の前段に設けられ、前記入力情報のうちの前記制御情報を検出して該制御手段に入力する検出手段を有する請求の範囲第 2 項記載の自己ルーチング交換システム。

27. 各前記記憶手段はファーストインファーストアウト (FIFO) メモリからなり、その出力はフリップフロップを介して対応する前記出線へ送出され、該フリップフロップは対応する前記制御手段により、適宜のタイミングで駆動される請求の範囲第 2 項記載の自己ルーチング交換システム。

28. 前記自己ルーチング通路が、

各前記入線対応に設けられ、該入線からの伝送情報および

とからなる請求の範囲第 2 項記載の自己ルーチング交換システム。

22. 前記伝送情報記憶手段がランダムアクセスメモリ (RAM) からなり、各前記読出しアドレス記憶手段がファーストインファーストアウト (FIFO) メモリからなり、前記書込みアドレス記憶手段は前記読出しアドレスを順次ストアする FIFO メモリからなる請求の範囲第 2 項記載の自己ルーチング交換システム。

23. 前記自己ルーチング通路が、

各前記入線からの前記伝送情報および前記制御情報からなる入力情報を記憶し、かつ前記入線の伝送速度の $N+1$ 倍 (N は該入線の数) で動作する記憶手段と、

前記制御情報をもとに、該記憶手段への書込みおよび読出しを制御し、かつ、前記 $N+1$ 倍の速度によって形成された $N+1$ 個のフェーズのうち、1 つのフェーズでその書込み制御を実行し、残りの N フェーズの間にその読出し制御を実行する制御手段と、

各前記出線対応に設けられて前記記憶手段からの読出し情報をそれぞれ一時的に保持し、かつ、対応する前記制御手段の制御のもとに、保持した情報を放出するラッチ群とからなる請求の範囲第 2 項記載の自己ルーチング交換システム。

24. 前記記憶手段および前記制御手段の前段に設けられ、前記入力情報のうちの前記制御情報を検出して該制御手段に入力する検出手段を有する請求の範囲第 2 項記載の自己ルーチング交換システム。

前記制御情報からなる入力情報を記憶する蓄積回路と、

各該蓄積回路内の前記制御情報をアドレス入力として、前記蓄積回路のうちのいずれか 1 つに入力情報送出許可信号を与えると共に制御信号を出力する記憶回路と、

前記入力情報送出許可信号によって送出された前記入力情報を、前記記憶回路からの前記制御信号によって指定された 1 つの前記出線に出力する切換回路とからなる請求の範囲第 2 項記載の自己ルーチング交換システム。

29. 前記蓄積回路内には、前記入力情報および該入力情報の中の前記制御情報をそれぞれストアするバッファを備え、

前記切換回路は、各前記バッファからの入力情報を受信して、対応する出線に出力するマトリクススイッチからなり、

前記記憶回路は、各前記バッファからの制御情報をまとめてアドレス入力となし、前記蓄積回路の 1 つに与える前記入力情報送出許可信号と、前記マトリクススイッチを選択して、目的とする出線に入力情報を送出するためのクロスポイント制御信号の対を出力するアービトレーションメモリからなる請求の範囲第 2 項記載の自己ルーチング交換システム。

自己ルーチング交換システム

技術分野

本発明は、 N 本 (N は自然数。以下同じ。)の入線と N あるいは M 本の出線とをもち、高速パケット交換や非同期転送モード交換などに用いて好適な $N \times N$ あるいは $N \times M$ の自己ルーチング交換システムに関する。

電話交換(回線交換)では、一旦通話路が設定されるとその呼の通話終了まで該通話路は保持される。多重伝送の場合は各呼(チャネル)が高速に切換えられるが、各呼のフレーム上の位置は一定であるから、単純な逐次切換えでよい。これに対してパケット交換では各パケットはそれぞれ行先を持っており、時系列で見た各パケットの行先はバラバラであるから、上記の2方法は採用できず、一旦プロセッサがそのメモリに取込み、出線へ分配するという方法(メモリ交換)がとられている。しかしこのメモリ交換は時間を要するので、高速交換が要求される場合は適当でない。

自己ルーチング通話路は、特に高速パケット交換や非同期転送モード交換のように、パケット毎、又はセル(非同期転送モードブロック)毎に異なる出線へ高速にスイッチングする場合にそして通話路を外部から集中的にソフトウェアで制御することが、高速な呼処理にとって望ましくない場合に、好適である。

線して 8×8 Banyan を構成し、同様にして 8×8 Banyan を2個並べ、出側に 2×2 単位スイッチを4個並べ、図示のように結線して 16×16 Banyan にする。 32×32 Banyan なども同様にして構成できる。一般に $N \times N$ Banyan であれば 2×2 単位スイッチを $\log_2 N$ 段縦続接続して、伝送情報を目的とする出線へ送出することができる。なお単位スイッチでは、幅横回避のため出端子は入端子の2倍の動作速度を持つ。

上述したように Banyan typeの自己ルーチング通話路は2分法の原理に基づいて構成されるため、規模拡張は、 $N \times N$ のスイッチ2個と 2×2 のスイッチ N 個を組合わせて $2N \times 2N$ スイッチを作るという要領で行われ、増設単位が2倍単位でモジュール構成が取りにくく、結線も出線側を全て張り直す必要があるという問題があり、自己ルーチング交換システムに組み込まれる通話路としては、実用上不便である。

発明の開示

本発明はかかる点を改善し、スイッチモジュールを付け足して行くだけで増設でき、増設前の結線を直す必要もなく、小容量から大容量まで容易に変更できる自己ルーチング交換システムを提供することを目的とするものである。

上記目的を達成するために、本発明は上記 Banyan typeの自己ルーチング通話路を改良した多ルートを備えた自己ルーチング通話路により、自己ルーチング交換システムを構築するものである。

Banyan typeの自己ルーチング(self routing)通話路が既に提案されている(例えば、Zurich seminar in 1985, D4.1, R.W.Muise et al (AT & T Bell Laboratory) "experiments in wideband packet technology" P.135 to P.139)。

第1図は従来例であるバンヤン(Banyan)typeの自己ルーチング通話路を表す回路図である。これは 2×2 単位自己ルーチングスイッチ S_{ij} (ij は11, 12, …)を図示の如く逆シャッフル結線して構成され(本例では 8×8 Banyan が示されている)、入線側の各パケットには、出線を示す制御情報(本例ではバイナリ表示の出線番号)を持たせ、この制御情報を用いて各スイッチを操作して指定された出線へ伝送情報(INF)を送る。例えば制御情報が"010"で、このパケットが S_{11} のIN1に入力したとすると、この初段($i=1$)スイッチは制御情報のMSBが"0"であるからこのパケットを自己の"0"出力へ送出し、これを受けて S_{21} は該MSBの次のビットを見てこれは1であるから"1"出力へ送出し、これを受けて S_{31} はLSBをみてこれは"0"であるから"0"出力へ送り、こうして該パケットは目的の出線010番へ送出される。

第2図は第1図の通話路の規模を拡大する場合の構成を示す図であり、上記の Banyan typeの自己ルーチング通話路では、入/出線数を増加するには、例えば 16×16 Banyan にするには、第2図の如くする。即ち 4×4 Banyan を2個並べ、その出側に 2×2 単位スイッチを4個並べ、図示のように結

図面の簡単な説明

以下、添付図面を参照しながら、実施例を通して本発明を説明する。

第1図は従来例である Banyan typeの自己ルーチング通話路を表す回路図、

第2図は第1図の通話路の規模を拡大する場合の構成を示す図、

第3図は本発明に係る自己ルーチング交換システムにおける通話路の第1実施例を示す構成図、

第4図は入線側に現れる情報のフォーマットの第1例を示す図、

第5図は入線側に現れる情報のフォーマットの第2例を示す図、

第6図は第3図に示す第1実施例に係る通話路の具体例を示す図、

第7図は自己ルーチングスイッチモジュール(SRM)の具体例を示す回路図、

第8A図は本発明に係る自己ルーチング交換システムの概要を示すブロック図、

第8B図はパケット交換網を示す図、

第9図は本発明に係る自己ルーチング交換システムの構成例を示す図、

第10図はルート設定手段の出力に現れる情報のフォーマットの第1例を示す図、

第11図はルート設定手段の出力に現れる情報のフォーマ

ットの第 2 例を示す図、

第 1 2 図はルート設定手段の具体例を示す回路図、

第 1 3 図は制御情報を具体的に表した図、

第 1 4 図は本発明に基づいて規模拡張された自己ルーチング通話路を示す結線図、

第 1 5 図は規模拡張前における、本発明に係る 4×4 の自己ルーチング通話路の一例を示す結線図、

第 1 6 図は第 1 5 図における 2×4 の自己ルーチングスイッチモジュールの一構成例を示す回路図、

第 1 7 図は第 1 5 図における 4×2 の自己ルーチングスイッチモジュールの一構成例を示す回路図、

第 1 8 図は第 1 5 図の自己ルーチング通話路を規模拡張した後の自己ルーチング通話路を示す結線図、

第 1 9 図は特定のサービスをオプション機能として提供できる自己ルーチング交換システムの概念図、

第 2 0 図は第 1 9 図のオプションサービスモジュールの部分を特に詳細に示した自己ルーチング交換システムの回路図、

第 2 1 図は第 1 9 図においてエラーを検出したときの入力情報の流れを示す信号フローチャート、

第 2 2 図は第 1 9 図においてエラーを検出しなかったときの入力情報の流れを示す信号フローチャート、

第 2 3 図は第 2 1 図および第 2 2 図の動作を示すフローチャート、

第 2 4 図はエラー制御のプロトコル構成例を示す図、

第 2 5 図は第 2 0 図の中のセレクト制御回路の一具体例を

示す回路図、

第 2 6 図は優先処理をすることができる自己ルーチング交換システムの概念図、

第 2 7 図は優先処理を行うための自己ルーチングスイッチモジュールの具体例を示す回路図、

第 2 8 図は優先処理を行うためのセレクト制御回路の一回路例を示す図、

第 2 9 図は自己ルーチングスイッチモジュールの第 2 実施例の原理ブロック図、

第 3 0 図は第 2 9 図の第 2 実施例を実現する具体例を示す回路図、

第 3 1 図は自己ルーチングスイッチモジュールの第 3 実施例の原理ブロック図、

第 3 2 図は第 3 1 図の要部に現れる信号波形を示すタイムチャート、

第 3 3 図は第 3 1 図の第 3 実施例を実現する具体例を示す回路図、

第 3 4 図は第 3 3 図の要部に現れる信号波形を示すタイムチャート、

第 3 5 図は自己ルーチングスイッチモジュールの第 4 実施例の原理ブロック図、

第 3 6 図は第 3 5 図の要部の信号波形を示すタイムチャート、

第 3 7 図は第 3 5 図の第 4 実施例を実現する具体例を示す回路図、

第 3 8 図は自己ルーチングスイッチモジュールの第 5 実施例の原理ブロック図、

第 3 9 図は第 3 8 図の第 5 実施例を実現する具体例を示す回路図である。

発明の実施態様

第 3 図は本発明に係る自己ルーチング交換システムにおける通話路の第 1 実施例を示す構成図である。この第 1 実施例の自己ルーチング通話路 30 は 1 または複数の基本スイッチングユニットからなる。本図では 1 つの基本スイッチングユニットからなる通話路 30 を示す。この基本スイッチングユニットは、入力段自己ルーチングスイッチモジュール (SRM) 31 と、中間段自己ルーチングスイッチモジュール (SRM) 32 と、出力段自己ルーチングスイッチモジュール (SRM) 33 とから構成される。かくして本発明では SRM_{ij} を図示のように多段リンク接続する。

Banyan type でも単位スイッチ S_{ij} は多段接続されるが、これは多段リンク接続ではない。入線、出線間に形成されるパスは 1 つだけで、例えば第 1 図の S_{11} に入った伝送情報が出線 111 番へ出るべきなら、 $S_{11} \rightarrow S_{22} \rightarrow S_{34}$ のルート 1 つしかなく、 $S_{11} \rightarrow S_{23} \rightarrow S_{34}$ の如き他のルートは存在しない。この点、本発明の多段リンク接続では、 $SRM_{11} \rightarrow SRM_{21} \rightarrow SRM_{31}$ の他に $SRM_{11} \rightarrow S_{22} \rightarrow SRM_{31}$ の如き他のパスがある。

入線 N 本に対し、入力段 SRM_{11} のスイッチ $SRM_{11} \sim SRM_{1N}$ は各々、入力端数は n 、出力端数は m 、個数は N/n とし、

中間段 SRM_{12} のモジュール $SRM_{21} \sim SRM_{2n}$ は各々、入力端数を N/n 、出力端数を N/n 、個数を m とし、出力段 SRM のモジュール $SRM_{31} \sim SRM_{3N/n}$ は各々、入力端数を m 、出力端数を n 、個数を N/n とする。 L_{ij} は 1 次リンク、 M_{ij} は 2 次リンクである。

入力段モジュール (31) $SRM_{11} \sim SRM_{1N/n}$ の入力端は入線に接続し、出力端は中間段 SRM_{12} の各モジュールの入力端へ接続し、 SRM_{11} の m 個の出力端は m 個の中間段 SRM のモジュール $SRM_{21} \sim SRM_{2n}$ の各入力端の 1 つへ接続する。 $SRM_{1N/n}$ 等も同様に、接続し、中間段のモジュールの各 N/n 個の出力端も出線側の N/n 個のモジュール $SRM_{31} \sim SRM_{3N/n}$ の各 m 個の入力端の 1 つに接続する。

この例ではスイッチモジュール SRM_{ij} は入力段、中間段、出力段と 3 段構成であるが、さらに、中間段を Fig. 3 と同様の 3 段で構成し、合計 5 段などにしてもよい (基本スイッチングユニットが 2 つになる)。また入力段スイッチモジュール $SRM_{11} \sim SRM_{1N/n}$ の入力端の総数は N 個で入線数と等しくしてあり、出力段のスイッチモジュール $SRM_{31} \sim SRM_{3N/n}$ の総出力端数は N で出線数と等しくしてあり、また中間段のスイッチモジュール $SRM_{21} \sim SRM_{2n}$ の入力端数は mN/n で入力段スイッチモジュールの出力端数と等しく、出力端数も mN/n で出力段スイッチモジュールの入力端数と等しくなっていて空きはない例を示しているが、これは空きがあるようにしておいてもよい。特に増設が予想される場合は中間段スイッチモジュールを多く (所要数だけ) 設置し、入、出力

段スイッチモジュールを少なく設置しておくといよい。

第 4 図は自己ルーチングスイッチバスの入線側に現れる情報のフォーマットの第 1 例を示す図、第 5 図は自己ルーチングスイッチバスの入線側に現れる情報のフォーマットの第 2 例を示す図である。

入線に入ってくるバケットあるいはセルには第 4, 5 図に示すようにルーチングヘッダからなる制御情報 (C・INF) RH₁, RH₂, … RH_i を持たせておく。これは第 4 図のように伝送情報 (T・INF) と直列でもよく、第 5 図のように並列でもよい。後者の場合は勿論制御情報専用線が必要である。制御情報 RH₁, RH₂, … RH_i は第 i 次リンクの番号すなわち第 i 段のスイッチモジュールの出力端番号を示すもので、各スイッチモジュールはこの番号を見て伝送情報を該当リンクすなわち、指定の出力端へ案内する。

この自己ルーチング通話路 10 では、中間段スイッチモジュール SRM₂₁ ~ SRM_{2n} を所要数 (m 個) 設け、入力および出力段スイッチモジュールは設置可能数 (N/n 個) より少なく設置しておく、増設に当たっては単に入力および出力段スイッチモジュールを追加し、該入力、出力段スイッチモジュールに対する結線を行えばよく、このとき既設のスイッチモジュールとその配線に対しては何ら変更を加える必要がない。

またこの自己ルーチング通話路 10 では入線および出線間のバスのルートの種類が複雑であり、Banyan type のように 1 つしかルートがないのに比して、トラフィックの輻輳時の

~SRM₂₃ へ分散させる事ができ、さらに SRM₂₁ にトラフィックが集中して遅れが出るような場合には SRM₂₂ 又は SRM₂₃ 経由のバスに変更すればよく、遅れを少なくすることができる。

第 7 図は自己ルーチングスイッチモジュール (SRM) の具体例を示す回路図であり、3×3 構成の SRM を例にとって示す。I_i は制御情報検出回路、D_i は伝送情報遅延回路、DM_i はデマルチプレクサ、DEC_i は制御情報デコード回路、FM_i はバッファメモリ、例えば First-IN First-Out (FIFO) メモリ、SEL_i はセレクト、SC_i は FIFO のメモリ FM_i のリクエスト信号 R_i を受けてセレクト SEL_i の制御を行うセレクト制御回路である。

入力端 #1 ~ #3 (i) に入る信号は前述の伝送情報 + 制御情報 (T・INF + C・INF) の形をしており、検出回路 I_i はこの制御情報を抽出してデコード回路 DEC_i へ送る。制御情報は、自己ルーチング通話路 10 が 3 段構成であれば 1 段 (入力段) 目用ルーチングヘッダ RH₁、2 段 (中間段) 目用 RH₂、3 段 (出力段) 目用 RH₃ の 3 種あるから、検出回路 I_i は当該自己ルーチングスイッチモジュール SRM が第何段目であるかにより、該当する制御情報 RH を抽出する。デコード回路 DEC_i は入力された制御情報が出力端 j を示すものであれば、デマルチプレクサ DM_i を操作して当該 FIFO メモリ FM_i に伝送情報を送る。例えば入力端 #1 の制御情報が出力端 #2 を示すものであれば、DEC_i は DM_i を操作して入力端 #1 の情報を FM₂₁ に入力する。セレクト制御回路 SC_i、

処理に大きな利点を有する。即ち、バケット交換あるいはセル交換では、特にデータの伝送を行うとき、データ発生量は時間的に大幅に変わることが多く、このため単一のバスでは伝送遅延が大幅に変動する。しかし本発明のように複数バスがあれば、負荷を分散させることが可能であり、さらに、輻輳時に他のルートをとらせることができ、伝送遅延を少なくすることができる。

第 6 図は第 3 図に示す第 1 実施例に係る通話路の具体例を示す図であり、N ≥ 9, n = m = 3 とした場合の例を示す。3×3 の SRM₁₃ は入力段、中間段、出力段に各 3 個あり、1 次リンク L₁₁, L₁₂, L₁₃ は入力段スイッチモジュール SRM₁₁ の 3 個の出力端を中間段スイッチモジュール SRM₂₁ ~ SRM₂₃ の各 1 番目最上段の入力端へ接続し、1 次リンク L₂₁ ~ L₂₃, L₃₁ ~ L₃₃ もこれに準ずる。2 次リンク M₁₁ ~ M₁₃ は、中間段スイッチモジュール SRM₂₁ の 3 個の出力端を出力段の 3 個のスイッチモジュール SRM₃₁ ~ SRM₃₃ の各 1 番目の入力端へ接続し、2 次リンク M₂₁ ~ M₂₃, M₃₁ ~ M₃₃ もこれに準ずる。

この自己ルーチング通話路では最初に SRM₁₁, SRM₂₁ ~ SRM₂₃, SRM₃₁ を設置しておく、SRM₁₂ と SRM₃₂, SRM₁₃ と SRM₃₃ の設置は既設部分を何ら変更することなく、単に L₂₁ ~ L₂₃, L₃₁ ~ L₃₃ 及び M₂₁ ~ M₂₃, M₃₁ ~ M₃₃ を図示の如く結線するだけで行うことができる。

また例えば入線 #9 を出線 #3 へ導くバスは SRM₁₃ → SRM₂₁ → SRM₃₁, SRM₁₃ → SRM₂₂ → SRM₃₁, SRM₁₃ → SRM₂₃ → SRM₃₁ の 3 バスがあり、SRM₁₃ と SRM₃₁ 間のトラフィックを SRM₂₁

は FIFO メモリ FM₁₁ ~ FM₁₃ に伝送情報が入ると、セレクト SEL₁ を操作して該伝送情報を出力端 #1 へ送出する。他も同様である。

セレクト制御回路 SC_i は、例えば FIFO メモリ FM_i からのリクエスト信号 R_i を常時走査しており、リクエスト信号 R_i が検出されると、当該 FIFO メモリ FM の内容をセレクト SEL_i を通して出力させるように動作する。あるいは R_i は割込み入力として SC_i に入力し、割込みが入ると SC_i は当該 FIFO メモリ FM の内容をセレクト SEL_i を通して出力させる。

FIFO メモリ FM_i に複数バケットあるいはセル分の容量を持たせておくと、バッファ機能が得られ、一時的に伝送データが増大するような場合にも充分対応できる。

自己ルーチングスイッチモジュール SRM_{ij} は入力端 3 個、出力端 3 個に限らず、一般的には入力端 n 個、出力端 m 個、こゝで n > m, n = m、または n < m であってよい。n > m のときは同じ出力端を共用する複数の入力端が発生するが、伝送量が小さい呼 (チャネル) ならこれで充分処理できる。n < m のときは 1 つの入力を 2 つの出力に分けて出すことが可能で、入側高速、出側低速という場合に対応できる。勿論過剰分は遊びとしてもよい。

同様の理由で、第 6 図も、3×3 自己ルーチングスイッチモジュールを使用するからと言って中間段スイッチモジュール SRM₂₁ ~ SRM₂₃ は 3 個、とは限らず、2 個でも 4 個でもよい。また段数は 3 段に限らず、例えば第 6 図あるいは第 3 図全体を中間段とし、これに入力段、出力段スイッチモジュール

ルを付加して統計5段構成とし、更に同様な手法で7段構成にしてもよい。但し一般的には3段が適当である。

制御情報 C・INF は Banyan type などで行われているように、入力側で当該呼（パケット又はセル）に直列に又は並列に付加する。発呼時に、呼処理により、ある呼に対する制御情報を決定したら、その呼の VCN (Virtual channel number) と該制御情報をテーブルに登録しておき、入力してくる該呼に対しては該テーブルを参照して該制御情報を付加する。制御情報は、この多段リンク構成のスイッチモジュール群を通して行く間必要であるから付加されているが、出線に出れば不必要であるから除かれる。

以上説明したように第3図～第7図の構成によれば、既設配線の変更なしに入、出線数の増減が可能であり、その増減量は2の倍数に限ることなく、スイッチモジュールの入、出力端の数を単位として増減することができる。

中間段スイッチモジュールは入、出線の増設に備えて入、出線側のスイッチモジュール数より多く設けておくといよい。ただし多重化で入、出線側スイッチより少数とすることも可能である。

またこの自己ルーチング通話路10は、入、出線間をつなぐパスが複数あるので輻輳時であっても遅延が少ない。

第8A図は本発明に係る自己ルーチング交換システムの概要を示すブロック図であり、本図において、10はルート設定手段であり、20は自己ルーチング通話路 (SRSP: self routing speech path) である。ルート設定手段10は、複数

するようにスイッチ1を制御し、さらに、VCN₀をVCN₁に変換して当該識別番号VCN₁をパケットに付加する。他のCP₂～CP_{n-1}の動作は、上述したCP₁の場合と全く同じである。

CP₁は識別番号VCN₀を検出すると、端末Yへのパケットの受信を認識し、該受信パケットを端末Yへ転送するようにスイッチnを制御する。

第8A図において、ルート設定手段10は既述の呼設定フェーズを遂行するが、呼転送フェーズは、該ルート設定手段10、すなわち自己ルーチングスイッチの制御なしに自動的に実行される。

ルート設定手段10は、入線の情報から上記識別情報を監視し、この識別情報に従って制御情報C・INFを生成する。

自己ルーチング通話路 (SRSP) 20は、かくして生成された制御情報C・INFに基づいて、前記入線の伝送情報を前記出線より送出する。この場合、SRSP20は、その中にマルチパスを形成する。従来のSRSP (第1図、第2図) では1つの入線から1つの出線に至るまでのパスは1つしか存在しないが、本発明のSRSP20では1つの入線から1つの出線に至るまでのパスは複数あり、マルチパスを形成する。どのパスを選択するかは、ルート設定手段10が決める。

さらに、本発明のSRSP20内には、少なくとも伝送情報（必要ならば伝送情報と制御情報の双方）を一時的に保持するバッファメモリ手段をも内蔵し、SRSP20内での情報転送に対し時間的調整を加えることができる。なお、SRSP20の第1実施例は既に第3図～第7図にて説明した。SRSP20の第2、第3、

の入線#1、#2…#Nの各々より入力された情報を受信する。この情報は本来の伝送情報（音声情報とか、ファクシミリデータとか、等）T・INFと識別情報I・INFの対からなる。識別情報は前述した非同期転送モード交換のもとで、各セルに付される識別番号（バーチャル・チャンネル・番号 (VCN) のような）のことであり、またパケット交換網のもとで、各パケットに付される識別番号である。その識別番号 (VCN) を第8B図を参照して説明する。第8B図はパケット交換網を示す。第8B図において、スイッチ0～nはパケット交換システムであり、CP₀～CP_nはスイッチ0～nに対する呼処理部であり、Xはスイッチ0に属する発呼端末、Yはスイッチnに属する受呼端末、VCN₀～VCN_nはリンク0～リンクnへの識別番号である。CP₀が端末Xからの呼の発生を検出し、その呼の相手先（端末Y）を認識すると、呼設定フェーズを遂行する。呼処理部CP₀、CP₁～CP_nの間のやりとりによって、送信パスが設定されると、各呼処理部は各リンクへの識別番号VCN₀～VCN_nをそれぞれ割り当てる。そして、VCN₀/VCN₁, VCN₁/VCN₂…VCN_{n-1}/VCN_nというような識別番号の対の対応関係を記憶する。その後、各呼処理部はパケット伝送フェーズを生成する。このパケット伝送フェーズにおいては、CP₀は、端末Xをリンク0に接続するようにスイッチ0を制御し、端末Xからのパケットのヘッダに識別番号VCN₀を付加する。CP₁がその識別番号VCN₀を検出すると、該CP₁は端末Xからのパケットの受信および該パケットの宛先を認識する。このCP₁は、リンク0をリンク1に接続

第4および第5実施例はそれぞれ後述の第29、30図、第31図～第34図、第35図～第37図および第38、39図に示す。

第9図は本発明に係る自己ルーチング交換システムの構成例を示す図であり、該システム内の自己ルーチング通話路 (SRSP) 20としては第3図のSRSP30 (第1実施例) を用いた例を示している。

制御情報C・INFは、各入線側に設けられた制御情報付加回路11-1～Nにおいて呼処理部12の制御により付加される。

第8B図で説明したとおり、呼処理部12は、識別番号の対に対し入線および出線間の対応関係を設定し、入力パケットの各識別番号について自己ルーチング通話路30内の転送パスを決定する。

第6図で述べたように、転送パスは制御情報C・INFによって識別され、呼処理部は、該制御情報C・INFをもとに識別番号の対の対応関係を、各付加回路のテーブル内に設定する。即ち、入力情報のヘッダ内の識別情報I・INF例えばVCNを抽出する。付加回路は抽出された識別番号をもとにテーブルを検索して対応する識別番号と制御情報を見つけ出し、検索した制御情報および識別番号を付加回路11-1～Nにおいて、入力情報に付加する。

第10図はルート設定手段の出力に現れる情報のフォーマットの第1例示す図、第11図はルート設定手段の出力に現れる情報のフォーマットの第2例を示す図であり、既述の第4図および第5図に相当する。第10図においては、入力情

報である伝送情報 $T \cdot INF$ と識別情報 $I \cdot INF$ の対に対して、さらに制御情報 $C \cdot INF$ がシリーズに付加された様子を示し、第11図では $T \cdot INF + I \cdot INF$ の対に対して $C \cdot INF$ がパラレルに付加された状態を示す。なお、第10図の $I \cdot INF$ も第11図の $I \cdot INF$ も等価である。

第12図はルート設定手段の具体例を示す回路図である。本図において、ルート設定手段10で、どのように制御情報 $C \cdot INF$ が付加されるかについて、パケット情報が入力情報である場合を例にとって説明する。まずパケット情報の送出元はパケットの送出に先立って、パケット転送先を呼処理部12に通知するための呼設定フェーズを実行する。呼処理部12のマイクロプロセッサ(MPU)15は通知された転送先と送出元により当該パケットが通過すべき通話路のパスを設定し、また次のリンクに対する識別番号を決定する。そして、このパケットが入力される各スイッチモジュールの切り換え情報である制御情報 $C \cdot INF$ 、すなわち RH_1 , RH_2 , RH_3 および次のリンクに対する識別番号を、転送先を示す識別情報 (VCN) に対応したアドレスに格納する。

次にパケットの転送フェーズにおいて実際にパケットを送出する。このパケットは伝送情報とこの伝送情報の先頭に付加された、識別情報 (VCN_0) からなるヘッダ部とで構成されている。同期回路17は、ヘッダ部の同期パターンを用いて入力パケットと同期をとる。通話路に転送されてきたパケットは付加回路11-1のパッファ13に格納されるとともに、識別情報部分 $I \cdot INF$ は、同期回路17の制御のもとでレジス

タ18を介し、デコーダ19へ入力される。デコーダ19は入力されたパケットの識別情報 (識別番号 VCN_0) を受信するとこの識別情報 VCN_0 をアドレスとしてテーブル16をアクセスする。テーブル16には前述したように各識別情報 VCN_0 に対応して制御情報および次のリンクにおけるパケットを示す識別情報 (VCN_1) が格納されている。そして、パケットの先頭にこれら制御情報および VCN_1 を付加するために、テーブル16から読み出された制御情報をセレクト (SEL) 14に送出する。同期回路17はセレクト14の切り換え制御を行い、まず制御情報 $C \cdot INF$ および新しい識別情報 VCN_1 を送出させ、そのあとパッファ13からパケットの伝送情報部分を読み出し、セレクト14を介して通話路SRSP30へ送出する。

以上のようにして、通話路30の入線側に各パケットの先頭に制御情報と次の伝送路における識別情報を付加する。上記の説明から明らかなように、パケット転送制御は、マイクロプロセッサ15による制御ではなく、ハードウェアによって行われる。

第13図は制御情報を具体的に表した図であり、相互に異なるルーチングヘッダ RH が、相互に異なるパスを選択する様子を図解的に示す。 RH の右側ブロックの数字は、 SRM_{11} , SRM_{12} , SRM_{13} の出力線を示し、 RH の中央ブロックの数字は、 SRM_{21} , SRM_{22} , SRM_{23} の出力線を示し、 RH の左側ブロックの数字は SRM_{31} , SRM_{32} , SRM_{33} の出力線を示す。すなわち、各ブロックの数字は、 L_{11} , L_{12} , L_{13} ... M_{11} ... の如きラインシンボルの右側サブインデックスに対応する数字である。

ことができる。なお、第14図において、 $k \times m$ および $m \times k$ は、入力端数と出力端数の異なる2種類のSRMがあることを意味している。

第15図は規模拡張前における、本発明に係る 4×4 の自己ルーチング通話路の一例を示す結線図である。本図中、61および62は入、出力端数が 2×4 の自己ルーチングスイッチモジュールSRMであり、65, 66, 69, および71は入、出力端数が 4×2 の自己ルーチングスイッチモジュールである。この自己ルーチング通話路SRSPは自己ルーチングスイッチモジュールを3段リンク接続したものであり、各自己ルーチングスイッチモジュールは、規模拡張前は 2×2 のモジュールと等価の動作をしている。

第16図は第15図における 2×4 の自己ルーチングスイッチモジュールの一構成例を示す回路図であり、第17図は第15図における 4×2 の自己ルーチングスイッチモジュールの一構成例を示す回路図である。第16図の構成も、第17図の構成も、既述の第7図の構成と基本的には同じであり、入力端の数と出力端の数がアンバランスになっただけである。したがって動作の説明は省略する。

第18図は第15図の自己ルーチング通話路を規模拡張した後の自己ルーチング通話路を示す結線図である。具体的には 4×4 の自己ルーチング通話路 (SRSP) を 8×8 のSRSPに規模拡張した例を示す。図中の斜線を施したブロックは新たに追加された自己ルーチングスイッチモジュールであり、モジュール63および64は入、出力端数が 2×4 のものであり、

既に述べたように本発明の自己ルーチング交換システムは、従来の Banyan type 通話路に比べて、格段に容易に規模拡張を行うことができる。交換システムの規模拡張の大部分は、通話路の規模拡張であるから、通話路の規模拡張が容易に行えることは非常に有利である。Banyan type 通話路の規模の拡張を行う際には通話路の動作を一旦停止させて配線をし直す必要があり、通話路動作状態のままでの通話路の拡張はできない。よって通話路拡張の際には通信サービスが低下する。

第14図は本発明に基づいて、スイッチ段を増加させることなく規模拡張された自己ルーチング通話路を示す結線図である。将来の規模拡張を予定するには、入力端数と出力端数が異なる2種類の自己ルーチングスイッチモジュール (SRM) 41~52を多段リンク接続して自己ルーチング通話路SRSPを構成し、各段 (入力段、中間段) の各自己ルーチングスイッチモジュールSRMを後段の全ての自己ルーチングスイッチモジュールSRMに対して1対多にリンク接続することによって、通話路SRSPを動作させたまま、リンク段数を変更することなく通話路の規模の拡張を行う自己ルーチング通話路の構成方法が提供される。

入、出力端数の異なる2種類の自己ルーチングスイッチモジュール41~52を多段リンク接続し、各段の自己ルーチングスイッチモジュールの各々が後段の全自己ルーチングスイッチモジュールに1対多に接続されるように通話路を構成すれば、通話路の規模拡張に際してもリンク段数が増えることがないので、通話路を動作させたままでも規模拡張作業を行う

モジュール67, 68, 70, および72は入、出力端数が 4×2 のものである。

このように、リンク接続段数を増やすことなく、各段でそれぞれ二つずつモジュールを追加し、入力段と中間段の間のリンク接続は、入力段の各モジュールの4つの出力端が中間段の全てのモジュール65~68の入力端にそれぞれ接続されるように、モジュールの空いている端にそれぞれ接続する。また中間段と出力段との間のリンク接続は、中間段の各モジュールの2つの出力端の各々が、出力段の既存モジュール69, 71および新たに追加したモジュール70, 72の各入力端にそれぞれ多重接続されるようにする。

このように多重接続した結果、中間段のモジュールから出力段のモジュールに送出されるパケットは、そのパケットの行き先に対応するモジュール以外のモジュールにも送られることになるが、そのようなモジュールにおいては、制御情報デコード回路DECにおいてパケットのルーチングヘッダRHが解析されるので、誤って自己の出力端に当該パケットを出力してしまうことはない。

本発明の実施にあたっては種々の変更態様が可能である。例えば使用する自己ルーチングスイッチモジュールは 2×4 と 4×2 のものに限られるものではなく、入力端数と出力端数が異なる2種類のモジュールであればよい。また拡張された自己ルーチング通話路の入線および出線も 8×8 のものに限られないことは勿論である。自己ルーチング通話路の接続段数もその入線および出線数との関係で決められるものであ

って、例示の3段に限られない。

かくして、自己ルーチング通話路のリンク段数を変えることなくその入出力端子数を変更することができるので、自己ルーチング通話路を動作させたままでその規模拡張を行うことが可能となり、通話路規模拡張に際しての動作停止による通信サービスの低下を防げる。

第14図~第18図では、本発明に係る自己ルーチング交換システムの規模拡張が容易であることについて述べたが、こればかりでなく、各種サービス機能の拡張も可能である。ただし、サービス機能拡張のための工夫が必要であり、この工夫について説明する。まず第9図に示した自己ルーチング交換システムにおいて、エラー制御等の特定のサービスをオプション機能として加入者に対して提供する場合、自己ルーチングスイッチモジュールSRM自体に予め特定のサービスを行う機能をハードウェア上で付加する必要がある、何ら工夫がないと、スイッチモジュールのハード量が増大して交換システム全体としても大きな規模の不経済な装置になってしまう。

また、各種サービスが更に追加されたときに、各スイッチモジュールを取り替えなければならずサービスの増設にフレキシブルに対応できないことになる。

一方、CCITT勧告X.25ベースのパケット交換ではパケットを全てソフトウェア的に処理する方式が採用されているが、エラー制御等を厳密に規定しているため、処理遅延が大きくなるため、パケット処理に当たってはできるだけハードウェア

で処理することが好ましく、またプロトコルも簡易なものが望ましい。

そこで第9図の自己ルーチング交換システムに、工夫を施してオプションサービスにフレキシブルに対応できるハード量の少ない簡易な自己ルーチング交換システムも実現することにする。

第19図は特定のサービスをオプション機能として提供できる自己ルーチング交換システムの概念図を示す。本図において、自己ルーチングモジュールSRMは伝送情報1・INFに付加された制御情報C・INFを自律的にスイッチングして該制御情報により指示された出線へ送出するもので、この制御情報にはオプションサービス要求が含まれており、OSMは、モジュールSRMのうちのオプションサービス機能を持たせた所定モジュールであり、全モジュールSRMの中間段のモジュールと並列に設けられる。

第19図に示した自己ルーチング交換システムでは、入力情報のヘッダに特定のオプションサービスが行われるべき旨の指示が含まれており、これに基づき、ルーチングヘッダRHが与えられてオプションサービス用のモジュールOSMに向けたパスが決定され、入力段にあるモジュールSRMから中間段にあるモジュールOSMに送られた情報は、そのエラー制御等のオプションサービスを受け、ルーチングヘッダを付け替えて出力段のスイッチモジュールSRMへ送られる。

第20図は第19図のオプションサービスモジュールの部分特に詳細に示した自己ルーチング交換システムの回路図

であり、オプションサービスモジュールOSM以外の部分は第9図の構成と同じである。この交換システムでは、例えば第9図に示した自己ルーチング交換システムの自己ルーチングスイッチモジュールSRMの内の中間段に位置する所定の1つのスイッチモジュールSRM₁をオプションサービスモジュールOSMに取り替えている。この取り替えの際には、入力段のスイッチモジュールSRM₁からSRM_{1N}の各1個の出力端をオプションモジュールのOSMの入力端と接続し、オプションモジュールOSMの出力端はモジュールSRM₂からSRM_{2N}の各1個の入力端に接続する。

このオプションサービスモジュールのOSMにおいては、FIFOメモリ81を設けて伝送情報のバッファを作り、ここに一旦格納された情報に対しプロセッサ(CPU)82によりファームウェアで構成されたオプションサービス(OS)部83において設定された所定のサービス機能を実行してその結果をセレクト(SEL)84に送出するとともにオプションサービス部83では更に、ルーチングヘッダRHにより情報パケットのパスを選択するためにセレクト(SEL)84に選択信号を与えて伝送情報を所定のパスに対応するFIFOメモリ85に格納するように構成されている。なお、本図中のFIFOメモリは図解的に描いているが他の図のFIFOメモリ(FM)と全く同じである。

次に、オプションサービスを受ける場合について説明する。

加入者側の端末装置(図示せず)で例えばCRC符号のエラー制御又はフロー制御のオプションサービス要求の設定を

行くと、呼処理部 12 は受信した識別情報内のバーチャルチャネル番号 (VCN) を基に当該端末装置に接続されている付加回路 (11) にオプションサービスモジュール OSM へのルーチングヘッダ (RH) を設定し、伝送情報パケットにそのルーチングヘッダ及びオプションサービス要求を付加し、入力段においては例えばスイッチモジュール SRM₁₁ に送る。モジュール SRM₁₁ では、そのルーチングヘッダから中間段のモジュールとしてオプションサービスモジュール OSM を選択する。

このようにしてルーチングヘッダによりオプションサービスの要求を発した端末装置からの情報パケットは、オプションサービスモジュール OSM において、FIFO メモリ 81 に一旦格納された後、プロセッサ 82 を経て、オプションサービス部 83 において例えば CRC 符号のエラーチェックを実行した後、その結果に応じてセクタ (SEL) 84 を制御し、伝送情報パケットを FIFO メモリ 85 のいずれかに格納して、第 9 図の場合と同様にモジュール OSM の出力端から出力段のモジュール SRM に向けて送出される。

第 21 図は第 19 図においてエラーを検出したときの入力情報の流れを示す信号フローチャート、第 22 図は第 19 図においてエラーを検出なかったときの入力情報の流れを示す信号フローチャートである。オプションサービスモジュール OSM でエラーが検出されたときには、第 21 図のように情報パケットを廃棄して再送要求パケットを生成しルーチングヘッダを付け替えて出力段のモジュールを介して呼設定のあ

った端末装置に戻されて再送要求がなされる。一方、エラーが検出されない時は、第 22 図に示すように受信側の端末装置に情報転送が行われることとなる。第 23 図は第 21 図および第 22 図の動作を示すフローチャートである。

第 24 図はエラー制御のプロトコル構成例を示す図であり、レイヤ ①では情報送受のためのハードウェアインタフェースが行われ、制御情報 C・INF のレイヤ ②ではパケット順序制御等が、そして C・INF レイヤ ③ではオプションサービス要求等が行われる。また、伝送情報 T・INF のレイヤ ②の共通部では多重化パケットの識別等のパケット制御が行われ、T・INF レイヤ ②のオプション部でオプション制御の手順が設定されるようになっている。尚、T・INF のレイヤ ③は呼に特殊な制御を行うための手順が設定されている。

これら CRC 符号チェックの外にも、フロー制御等の種々のオプションサービスを予めオプションサービスモジュール OSM に設定しておくことができることは言うまでもない。

第 25 図は第 20 図の中のセクタ制御回路の一具体例を示す回路図である。本図において、FIFO メモリ 85 からの転送要求 (*1, *2, … *n-1, *n) の一つずつずらしで各セクタ (SEL) 90 に入力し、カウンタ 91 からの指令値に基づいて固定優先回路 92 及びエンコーダ 93 を介して加算器 (ADD) 94 に送る。加算器 94 では、カウンタ 11 の先の指令値とエンコーダ 93 の出力が示す転送要求番号 (*1, *2, … *n-1, *n) を加算して当該 FIFO メモリの番号が発生し第 20 図のセクタ (SEL) 86 に送る。このセクタ

(SEL) 86 への指令値はコントローラ (CNT) 95 へ戻されて当該転送要求のあった FIFO メモリ 85 に対して転送 OK 信号を出力する。そして、転送が終了した信号をその FIFO メモリ 85 から受けると、今度はカウンタ 91 のカウント値をアップするための信号をカウンタ 91 へ送る。

これにより、セクタ 90 の選択信号は例えば “1” だけアップされる。

この場合、2 つ以上の転送要求が重なったときには、固定優先回路 92 が所定の優先順位 (例えば図示の上から順) で転送要求信号をエンコーダ 93 へ送る。

このようにして、複数の自己ルーチングモジュール SRM を自律的にスイッチして情報パケットを転送する。

かくして、第 20 図の自己ルーチング交換システムによれば、オプションサービスを実行するオプションサービスモジュールを、第 9 図のモジュール構成の自己ルーチング交換システムの内の中間段の所定のモジュールと取り替えてオプションサービス専用にしたので、交換システム全体の構成を変更することなくオプションサービスの追加に柔軟に対処でき、ハードウェア構成及びプロトコルも簡易なものにすることができる。

第 9 図に示した本発明の自己ルーチング交換システムを高効率で動作させるためには、情報の属性や入力情報の混雑状況に応じて情報転送が行えることが望ましい。すなわち、もし、第 9 図の交換システムに何ら工夫がなされないと、次のような 2 つの不利がある。

第 1 に、情報の属性を考慮せずに全て均一に扱うため、即時性 (リアルタイム) が要求されるデータ (例えば音声、映像等) の処理が優先されず、交換機内の各自己ルーチングスイッチモジュール SRM での時間遅延が生じてしまう。

第 2 に、トラフィックの偏りにより情報転送の過負荷状態が生じ、これを制御する必要がある場合、ルーチングヘッダ RH の書き換えを行うが、その場合、同一呼の情報が他のバッファ FM 内に停滞していると、情報の転送順序の逆転 (追い越し) が発生することがある。

第 26 図は優先処理をすることができる自己ルーチング交換システムの概念図であり、各自己ルーチングスイッチモジュール SRM₁₁ ~ SRM_{2N} は呼処理部 12 から優先処理要求を受けると、その優先処理の必要な入線の入力情報を優先選択して送出することとなる。

従って、呼設定時、情報の属性が優先処理を必要とするもの (音声、映像等) であれば、呼処理部 12 から各モジュール SRM₁₁ ~ SRM_{2N} に優先処理の割付けが行われる。また、各モジュール SRM₁₁ ~ SRM_{2N} において入力情報の過負荷状態が検出できるようにしておけば、呼処理部 12 は情報の混雑を避けるようにやはり各モジュール SRM₁₁ ~ SRM_{2N} に優先処理の割付けを行うことができる。

第 27 図は優先処理を行うための自己ルーチングスイッチモジュールの具体例を示す回路図である。この SRM は、第 20 図に示した OSM と類似の構成をもって図示するが、基本的には第 7 図の SRM や、第 16、17 図の SRM と全く等価

である。第 27 図において、自己ルーチングスイッチモジュール SRM の中に、呼処理部の MPU 15 (第 12 図) と信号の送受を、制御バス 96 を介して行う信号分配器 SD を設けるとともにセレクト制御回路(SC)97が、第 7 図に示す SC とは若干異なる構成を有する。なお、第 7 図の SC の具体例は、既に第 25 図に示した回路 SC を用いることができる。

第 28 図は優先処理を行うためのセレクト制御回路の一例を示す図であり、第 25 図のセレクト制御回路 SC に、優先処理のための回路を若干付け加えたものである。第 28 図において、コントローラ (CNT)105では、第 27 図の FIFO メモリ 85 の各メモリの情報格納状況を絶えず監視しており、その監視信号を信号分配器 SD 101 を介して、マイクロプロセッサ MPU 15 (第 12 図) へ報告している。即ち、その監視信号を直接、プロセッサ MPU 15 に送る代わりに信号分配器 SD 101 でマスタ情報としてまとめプロセッサ MPU へ送っており、信号の分配制御を行っている。また、コントローラ 105 からはプロセッサ MPU からの指令により所定の FIFO メモリ 85 の情報を優先的に転送するための優先指示信号をセレクト (SEL)106 に送り、このセレクト 106 は、プロセッサ MPU からの指令によるその優先情報またはカウンタ 91 の出力のいずれかを選択する。その他の構成は第 25 図の場合と同様である。

次に、情報の属性に対応した優先処理動作を第 26 図乃至第 28 図について説明する。

まず、マイクロプロセッサ MPU 15 は優先転送バスを予め決

定しておき、各モジュール SRM に優先情報を設定する。一例として、モジュール $SRM_{21} \sim SRM_{2N}$ のうち、モジュール SRM_{21} からの情報を優先処理するように優先情報を設定しておく。

次に、呼設定時、端末装置 (第 21, 22 図) からの識別情報 1・INF 内のバーチャルチャネル番号 (VCN) を基にプロセッサ MPU 15 を介して当該端末装置に接続されている付加回路 (既述) に所定の出バスへのルーチングヘッダ (RH) を設定するが、このときその呼の属性をチェックして音声、映像等の即時性が要求される呼を検出したときは、その呼の入力情報バケットが優先的に転送処理されるように予めそのルーチングヘッダに、モジュール SRM_{21} を経由するように優先処理を施しておく。

そして、付加回路では入力情報にそのルーチングヘッダを付加して入力段の例えばモジュール SRM_{11} に送る。

モジュール SRM_{11} では、そのルーチングヘッダをみて中間段のモジュール SRM_{21} に転送する。

次に、出力段のモジュール $SRM_{21} \sim SRM_{2N}$ では予めプロセッサ MPU により優先転送先が例えばモジュール SRM_{21} であると設定されているので (もっともこれは予めどのような優先転送ルートを決めておいてもよい)、入力情報バケットは第 27 図においてセレクト SEL 84 を介して FIFO メモリ 85 のうちの所定の FIFO メモリ 85 (例えば図中の最上欄の FIFO メモリ) に格納される。他方、プロセッサ MPU 15 からは信号分配器 SD 101 を経て、第 28 図に示したコントローラ 105 に

優先転送処理要求信号が入力されると、これはセレクト 106 に切換信号 SWS として送られている。これにより、第 25 図ではカウンタ 91 の出力によりセレクト 90 の選択番号が逐次変化して行くのとは異なり、第 28 図ではセレクト 106 から固定した優先情報が出力されるのでセレクト 90 は、優先処理のために指定された FIFO メモリのデータ転送が行われるように選択される。この例では第 28 図の最上欄のセレクト 90 (HIGH) が選択されることになる。

そして、固定優先回路 92、エンコーダ 93、及び加算器 (ADD) 94 を経て、第 27 図に示したセレクト SEL 86 に送られ、このセレクト SEL 86 は FIFO メモリ 85 の最上欄のメモリを選択して、モジュール $SRM_{21} \sim SRM_{2N}$ の各出力端に転送する。

このようにして即時性の必要な呼に対しては、優先ルートを指定して然も各モジュール内を転送し易く制御している。

次に、各モジュール内のバッファである FIFO メモリが過負荷状態を呈する場合の優先転送処理について説明する。第 27 図のセレクト制御回路 SC97 は FIFO メモリ 85 から転送要求 ($*1 \sim *n$) (第 7 図の R と同じ) を入力しているが、これとともに各 FIFO メモリ 85 の格納状況も過負荷信号 $\# \# 1 \sim \# \# n$ として入力している。この過負荷信号は FIFO メモリ 85 が一定値以上情報を格納したときを基準に設定することができる。そこで第 28 図のコントローラ 105 でこの過負荷信号 $\# \# 1 \sim \# \# n$ を入力し、一括したマスタ情報として信号分配器 SD 101 を経てプロセッサ MPU に送る。プロセッサ MPU はこのマスタ情報 ($\Delta 1 \sim \Delta n$) を分析して更

に信号分配器 SD を経て詳細情報を読み取り、過負荷状態にある FIFO メモリ 85 からの情報を優先的に排出するため、制御信号 S を送ってセレクト 106 及び 90 を制御する。

従って、第 27 図の FIFO メモリ 85 のうちの例えば最上欄の FIFO メモリが過負荷状態にあるとすれば、第 28 図のセレクト 90 の各々は転送要求 $*1$ が選択されるように制御されることとなる。尚、過負荷状態の FIFO メモリが複数あるときには、固定優先回路 92 により選択される。

この場合、過負荷状態が発生しても、プロセッサ MPU 15 及び付加回路 (11) によるルーチングヘッダの書き換えは行わない。各バケットの流れの順番が逆転しないようにするためである。

このようにして過負荷状態にある FIFO メモリ 85 に格納されているバケット情報がルート変更なしで優先的に各モジュール SRM から送り出される。

最後に、第 8 A 図における自己ルーチングスイッチモジュール (SRM) の各種実施例 (第 2 ～ 第 5 実施例) を提案する。なお SRSP の第 1 実施例については、既に第 3 図 ～ 第 7 図に示した。まず第 2 実施例から説明する。

第 29 図は自己ルーチング通話路の第 2 実施例の原理ブロック図である。第 7 図に示した自己ルーチングスイッチモジュール SRM では、同一出力端に転送情報例えばバケットが集中するバケット衝突回避のために FIFO メモリを備えているが、例えば入力端数と出力端数がそれぞれ N 本の場合、この FIFO メモリは N^2 個必要となる。したがって入線および出線

数が増大すると、必要なFIFOメモリの数は指数関数的に増大することとなる。またFIFOメモリに記憶させる内容はパケット全体であり、バッファ機能を持たせるために複数パケットを記憶できるようにFIFOメモリの記憶容量を設定することを考慮すると、FIFOメモリとして記憶容量の大きなものが必要となる。しかしこのようにFIFOメモリの記憶容量を大きく設定したとしても、パケットの衝突が生じる確率は高くないので、通常はFIFOメモリの記憶領域が全て使用されているわけではなく、メモリの使用効率は高くない。

したがって第2実施例では、入線数および出線数の増大に対してもメモリ手段を大幅に増大させることなく対応でき、かつメモリ手段を使用効率高く使用できるような自己ルーチング通路を提供する。第29図において、複数の入線#1～#Nと複数の出線#1～#Mを備え、各入線に入力された、ルーチングヘッダを付加した伝送情報を、該ルーチングヘッダに基づき指定される出線に自律的にスイッチングする自己ルーチング通路路であって、複数の入線から並列的に入力される伝送情報を時間的に直列な形式に変換する変換手段111と、変換手段111から順次に送出される伝送情報 T・INF を順次に格納する伝送情報記憶手段112と、伝送情報記憶手段112をアクセスするアドレスを格納し、伝送情報記憶手段112に書き込みアドレスとして順次に与える書き込みアドレス記憶手段113と、複数の出線対応にそれぞれ設けられた複数の読出しアドレス記憶手段114(1)～114(M)と、書き込みアドレス記憶手段113から送出される、手段112のアドレスに格納される

し、これを用いて伝送情報記憶手段112から伝送情報を読み出し、この読み出した伝送情報を分配手段117でその伝送情報の送出先に相当する出線に分配する。また読出しアドレス記憶手段114(1)～114(M)から読み出された読出しアドレスは書き込みアドレス記憶手段113に再び格納され、伝送情報記憶手段112のアドレス指定のために用いられる。

第30図は第29図の第2実施例を実現する具体例を示す回路図であり、時分割多重部(MUX)121はN個の入線#1～#Nを収容しており、各入線#1～#Nにそれぞれ並列的に入力されるパケットP(1)～P(N)を時分割多重して時系列な形態にし、入ハイウェイHW1に送出する。この入ハイウェイHW1はランダムアクセスメモリ(RAM)122のデータ入力端DIに接続されており、このRAM122に、入ハイウェイHW1上のパケットが順次に記憶される。RAM122に対するアドレス指定は空きアドレスメモリ4に格納されているアドレスを用いて行われる。この空きアドレスメモリ124はFIFOメモリで構成されており、RAM122のアドレス数に相当する数のアドレスを記憶できる容量を備えている。

空きアドレスメモリ124から出力されるアドレスはRAM122の書き込みアドレス入力端WAおよびアドレス分配部(DS)126の入力端に導かれる。アドレス分配部126はルーチングヘッダコピー部(RHC)128によって切換え制御されて、入力されたアドレスを端子用FIFOメモリ125(1)～125(M)の何れかに格納する。FIFOメモリ125(1)～125(M)は、時分割多重分離部123に収容されているM個の出線#1～#Mにそれぞれ対応して

伝送情報のルーチングヘッダRHに基づき、ルーチングヘッダで指定される出線に対応する読出しアドレス記憶手段114にアドレスを格納するアドレス分配手段115と、複数の読出しアドレス記憶手段114(1)～114(M)を順次に選択して、その格納アドレスを伝送情報記憶手段112に、読出しアドレスとして与えると同時に書き込みアドレス記憶手段113に格納するアドレス選択手段116と、アドレス選択手段116のアドレス選択によって伝送情報記憶手段112から順次に読み出される伝送情報を、選択された読出しアドレス記憶手段114に対応する出線に分配する分配手段117とを具備してなる。

複数の入力線にそれぞれ入力されたパケット等の伝送情報は、変換手段111によって時間的に直列なデータ形式に変換されて伝送情報記憶手段112に順次に記憶されていく。この際の伝送情報記憶手段112へのアドレス指定は書き込みアドレス記憶手段113から与えられるアドレスによる。このアドレス指定と同時にこの書き込みアドレス記憶手段113からのアドレスはアドレス分配手段115によって、そのアドレス位置に書き込まれた伝送情報のルーチングヘッダRHで指定される出線に対応する、読出しアドレス記憶手段114に格納される。このようにして伝送情報記憶手段112には各伝送情報が格納される。また伝送情報記憶手段112に格納されている伝送情報の送出先出線対応の読出しアドレス記憶手段114には、該伝送情報を読み出すためのアドレスが格納される。

アドレス選択手段116は読出しアドレス記憶手段114(1)～114(M)から順次に、格納されている読出しアドレスを読み出

M個設けられており、出線#1～#Mにおけるパケットの衝突を回避するための複数個分のアドレスを記憶できる容量を備えている。ルーチングヘッダコピー部128は入ハイウェイHW1に接続されており、入ハイウェイHW1上のパケットのルーチングヘッダRHを読み取り、それをアドレス分配部126に与えるように構成されている。

FIFOメモリ125(1)～125(M)の内容はアドレス選択部(SEL)127によって順次に選択されて読み出され、RAM122の読出しアドレス入力端RAおよび空きアドレスメモリ124の入力端に送出される。RAM122のデータ出力端DOから読み出されたパケット情報は出ハイウェイHW2に順次に送られる。この出ハイウェイHW2上のパケット情報は時分割多重分離部123に入力され、ここで順次に出線#1～#Mに振り分けられる。時分割多重部121、アドレス選択部127、および時分割多重分離部(DMX)123はクロック源(CLK)129からのクロックのタイミングでそれぞれ作動される。

第2実施例の動作が以下に説明される。いま時分割多重部121の入線#1～#NにそれぞれパケットP(1)～P(N)が入力されているものとする。各パケットP(1)～P(N)は伝送情報 T・INF とルーチングヘッダRHとからなる。時分割多重部121はこれらパケットP(1)～P(N)を時分割多重して時間的に直列なデータ列に並べ変えて入ハイウェイHW1に送出する。したがって入ハイウェイHW1上のデータ速度は各入線#1～#N上でのデータ速度のN倍となる。

これらの各パケットP(1)～P(N)はRAM122に順次に記憶

されていく。この際のRAM122に対するアドレス指定は空きアドレスメモリ124から順次に読み出されるアドレスを書込みアドレスとすることにより行われる。空きアドレスメモリ124から読み出されたアドレスはRAM122に送られると同時に、アドレス分配部126を介してFIFOメモリ125(1)~125(M)の一つに格納される。

すなわち、ルーチングヘッダコピー部128は入ハイウェイHW1上の各バケットP(1)~P(N)のルーチングヘッダRHを読み取り、このルーチングヘッダRHによって当該バケットが出線#1~#Mの何れに出力されるべきかを識別する。そしてそのルーチングヘッダRHを用いてアドレス分配部126を切換え制御し、空きアドレスメモリ124から送られてきたアドレスを、RAM122の当該アドレス位置に記憶されるバケットが送出されるべき出線に対応するFIFOメモリ125に格納する。

例えば入線#1に入力されたバケットP(1)の送出先が出線#2である場合、当該バケットP(1)は空きアドレスメモリ124からのアドレスで指定されるRAM122のアドレス位置に書き込まれ、同時にそのアドレスはルーチングヘッダコピー部128およびアドレス分配部126の制御によって、当該バケットP(1)の送出先である出線#2対応のFIFOメモリ125(2)に振り分けられて格納される。出線#2へ送出されるべきバケットが同時に複数個存在して衝突を起こしている場合はFIFOメモリ125(2)にその複数個のアドレスが格納されることになる。

するためのRAM等のメモリと、RAMの空きアドレスを格納するための空きアドレスメモリと、RAMの読み出しアドレスを格納するための出線の数分の出線用アドレスメモリ125とでよい。この結果、自己ルーチング通路の入線数および出線数が増大した場合にも、必要なメモリ手段の数を大幅に削減することができる。この効果は入線および出線の数が増加すればするほど顕著となる。また空きアドレスメモリ124および出線用アドレスメモリ125はRAM122のアドレスを記憶する分だけの小容量のもので構成できる。さらにまたバケット情報を記憶するRAM122の使用効率を高くすることができる。なお、RAMの容量が非常に大きいときは空きアドレスメモリ124は不要である。

次に自己ルーチング通路の第3実施例について説明する。この第3実施例の意図するところは、前述の第2実施例と同様、メモリ手段の数を減らすことにある。

第31図は自己ルーチング通路の第3実施例の原理ブロック図である。

第31図において、131は自己ルーチング通路で、この自己ルーチング通路131はN本の入線132とN本の出線ハイウェイ133とをもちている。

134は記憶手段で、この記憶手段134はN本の入線132のそれぞれに対応して設けられている。また、記憶手段134の出力線はラッチ群135を介してN本の出線133に接続されている。そして、この記憶手段134は入線の伝送速度のN+1倍の速度で動作するメモリである。

このようにしてRAM122には入力されたバケットP(1)~P(N)が順次に格納され、同時に、これらバケットP(1)~P(N)が格納されているRAM122のアドレス情報が、各バケットP(1)~P(N)の送出先の出線対応の出線用アドレスFIFOメモリ125に格納される。

RAM122に格納されたバケットP(1)~P(N)の読み出しは、アドレス選択部127がクロック源129からのクロックによるタイミングで、FIFOメモリ125(1)~125(M)をその順序で逐次に選択してそれに格納されたアドレスを読み出し、それをRAM122に読み出しアドレスとして与えることによって行われる。これによりRAM122から出ハイウェイHW2を介して時分割多重分離部123に順次にバケットが送出されることとなる。このアドレス選択部127で選択されたアドレスは同時に、空きアドレスメモリ124に送られて格納され、RAM122へのバケットの書き込みアドレスとして再び使用される。

時分割多重分離部123は、例えばFIFOメモリ125(1)からのアドレスで読み出したバケットは出線#1へ、FIFOメモリ125(2)からのアドレスで読み出したバケットは出線#2へ、…FIFOメモリ125(k)からのアドレスで読み出したバケットは出線#kへというように、入力されたバケットを順次にその出線#1~#Mに振り分ける。これにより入線#1~#Nに入力されたバケットP(1)~P(N)はそれぞれのルーチングヘッダRHで指定される送出先出線に送られることとなる。

かくして、第29および30図によれば、自己ルーチング通路を構成するに必要なメモリ手段は、バケットを格納す

136は制御手段で、この制御手段136は記憶手段134への書き込みおよび読み出しを制御するものである。すなわち、この制御手段136によって、記憶手段134が、入線伝送速度のN+1倍の速度で動作せしめられるとともに、N+1倍の速度のうちの1つのフェーズで書き込まれ、残りのNフェーズでN本の出線133側へ読み出されるように入線132の入力情報から制御手段136がルーチングヘッダを検出して、入線伝送速度のN+1倍の速度で記憶手段134を動作させながらアドレスを指定して記憶手段134への書き込みをおよび読み出しを行うが、このとき記憶手段134はN+1倍の速度のうちの1つのフェーズで書き込まれ、残りのNフェーズでN本の出線133側へ読み出される。出線133側へ読み出された伝送情報は適宜ラッチ群135でラッチされながら出力されている。

第32図は第31図の要部に現れる信号波形を示すタイムチャートであり、上欄より、入力情報、出力情報、アドレス制御信号AD、書き込み制御信号WEおよび読み出し制御信号REを示す。

第33図は第31図の第3実施例を実現する具体例を示す回路図であり、この第33図において、131は自己ルーチング通路で、この自己ルーチング通路131はN本の入線132とN本の出線133とをもちている。

134は記憶手段としてのバッファメモリで、このバッファメモリ134はN本の入線132のそれぞれに対応して設けられている。また、バッファメモリ134の出力線はラッチ群135

を介してN本の出線133に接続されている。そして、このバッファメモリ134は入線の伝送速度のN+1倍の速度で動作するようになっている。

ラッチ群135は各バッファメモリ134に対応してN個設けられており、更に各ラッチ群135はN個のラッチ(フリップフロップ)139を有している。

136は制御手段としてのバッファメモリコントローラで、このバッファメモリコントローラ136は、バッファメモリ134への書き込みおよび読み出しを制御するとともに、各ラッチ139のラッチ状態をも制御するものである。

137はルーチングヘッダ検出回路で、このルーチングヘッダ検出回路137は、入線132の入力情報例えばバケットからルーチングヘッダRHを検出してこのルーチングヘッダRHをバッファメモリコントローラ136へ出力するとともに、伝送情報をバッファメモリ134へ出力するようになっている。

上述の構成により、入線132の入力情報からルーチングヘッダ検出回路137がルーチングヘッダRHを検出して、このルーチングヘッダRHをバッファメモリコントローラ136へ入力する。このとき、ルーチングヘッダ検出回路137からは伝送情報がバッファメモリ134側へ送られている。

バッファメモリコントローラ136は、入線の伝送速度のN+1倍の速度で記憶手段134を動作させながらアドレス制御信号ADによりアドレスを指定して更には書き込み制御信号WEおよび読み出し制御信号REによりバッファメモリ134への書き込みをおよび読み出しをそれぞれ行うが、このとき

図のFIFOメモリFMに相当するメモリ)の数を1/Nに減少でき、これにより回路規模も小さくできる。

次に自己ルーチング通路の第4実施例について説明する。この第4実施例の意図するところは、前述の第2実施例と同様、メモリ手段の数を減らすことにある。

第35図は自己ルーチング通路の第4実施例の原理ブロック図である。

第35図において、141は自己ルーチング通路で、この自己ルーチング通路装置141はN本の入線132とN本の出線133とをもっている。

144は記憶手段で、この記憶手段144はN本の出線133のそれぞれに対応して設けられている。そして、この記憶手段144は入線の伝送速度のN+1倍の速度で動作するメモリである。

145は速度変換手段で、この速度変換手段145は入力情報をN+1倍の速度に変換するものである。

146は制御手段で、この制御手段146は速度変換手段145を制御したり、セレクト(SEL)147を制御したり、記憶手段134への書き込みおよび読み出しを制御したりするものである。すなわち、この制御手段136によって、記憶手段134が、入線伝送速度のN+1倍の速度で動作せしめられるとともに、N+1倍の速度のうちのNフェーズで該N本の入線の情報が時分割で書き込まれ、残りの1フェーズで出線133側へ読み出されるように制御される。

セレクト147は速度変換手段145からの入力情報を出線対

バッファメモリコントローラ136は、ルーチングヘッダRHを見て、バッファメモリ134をN+1倍の速度のうちの1つのフェーズで書き込み、残りのNフェーズでN本の出線133側へ読み出すように制御する。

また、同時に、バッファメモリコントローラ136は、ラッチ139へもラッチ制御信号 CLK_{ij} (i, j はいずれも $1 \sim N$)を出力する。これにより、出線133側へ読み出された出力情報は適宜ラッチ群135でラッチされながら所要の出線133に出力されていく。

第34図は第33図の要部に現れる信号波形を示すタイムチャートであり、上欄より入力情報、出力情報、アドレス制御信号AD、書き込み制御信号WE、読み出し制御信号RE、ラッチ制御信号 $CLK_{i1}, CLK_{i2}, CLK_{i3}, \dots, CLK_{in}$ のタイムチャートを示す。

なお、第34図においては、書き込み制御信号WEおよび読み出し制御信号REがLレベルでイネーブルになっており、ラッチ制御信号(クロック) CLK_{ij} がHレベルでデータラッチになる。

また、ラッチ制御信号はそれぞれ位相が1クロックずつ異なっている。

このようにして、各入線対応にバッファメモリ134を設け、このバッファメモリ134を入線(出線)の伝送速度のN+1倍の速度で動作させるとともに、このN+1倍の速度のうちの1つのフェーズで書き込み、残りのNフェーズでN本の出線133側へ読み出すように構成しているので、メモリ(第7

応の記憶手段144へ適宜振り分けるものである。

148はORゲートで、このORゲート148によって制御手段146からの書き込み制御信号が記憶手段144へ供給される。

入線132の入力情報を、速度変換手段145が入線の伝送速度のN+1倍の速度に変換するが、制御手段146は入力情報からルーチングヘッダを検出して、制御信号 VCK_i (i は $1 \sim n$)を速度変換手段145へ送り、これにより速度変換手段145から入力情報が記憶手段144側へ送り出される。

また、制御手段146はセレクト147へ制御信号 SCK_i を送ることにより、セレクト147を適宜切り替えて速度変換手段145からの入力情報を所望の記憶手段144へ送出する。このとき同時に制御手段146から出力される書き込み用制御信号 WCK_{ij} (i, j はそれぞれ $1 \sim n$)は次のようなタイミングで記憶手段144へ書き込みおよび読み出しを行う。すなわち、N+1倍の速度のうちのNフェーズでN本の入線132に対して時分割で書き込みが行われ、残りの1フェーズで出線133側への読み出しが行われる。

第36図は第35図の要部の信号波形を示すタイムチャートであり、速度変換用制御信号 VCK_i 、セレクト制御信号 SCK_i 、書き込み制御信号 WCK_{ij} および読み出し制御信号 RCK_i のタイムチャートが示されている。なお、#1~#Nは各入線の番号に対応している。

第37図は第35図の第4実施例を実現する具体例を示す回路図であり、この第37図において、141は自己ルーチング通路で、この自己ルーチング通路141はN本の入線132

とN本の出線133 とをもっている。

144は記憶手段としてのバッファメモリで、このバッファメモリ144 はN本の出線133 のそれぞれに対応して設けられている。また、各バッファメモリ144 はFIFOメモリとして構成されている。そして、このバッファメモリ144 は入線の伝送速度のN+1 倍の速度で動作するようになっている。

145は速度変換装置で、この速度変換装置145 は入力情報をN+1 倍の速度に変換するものである。

146は制御装置で、この制御装置146 は速度変換装置145 を制御したり、セレクト147 を制御したり、バッファメモリ144 への書き込みおよび読み出しを制御したりするものである。

147はセレクトで、このセレクト147 は制御装置146 からのセレクト制御信号 SCK_i を受けて速度変換装置145 からの伝送情報 $T \cdot INF$ を出線対応の所望のバッファメモリ144 へ適宜振り分けるものである。

148はORゲートで、このORゲート148 によって制御装置146 からの書き込み制御信号 $WCK_{i,j}$ がバッファメモリ144 へ供給される。

149はルーチングヘッダ検出回路で、このルーチングヘッダ検出回路149 は、入線132 の入力情報例えばバケットからルーチングヘッダRHを検出してこのルーチングヘッダRHを制御装置146 へ出力するとともに、伝送情報を速度変換装置145 へ出力するようになっている。

150はラッチ（フリップフロップ）で、このラッチ150 は

データを元の入線速度に戻して出線へ送出するために使用される。

上述の構成により、入線132 の入力情報からルーチングヘッダ検出回路149 がルーチングヘッダRHを検出して、このルーチングヘッダRHを制御装置146 へ入力する。このとき、ルーチングヘッダ検出回路149 からは伝送情報が速度変換装置145 側へ送られている。

そして、この速度変換装置145 は伝送情報を入線の伝送速度のN+1 倍の速度に変換する。

また、制御装置146 はルーチングヘッダRHを受け取り、入力情報の出力先を見て、出力先の出線に対応するバッファメモリ144 にスイッチするように、セレクト147 をセレクト制御信号 SCK_i （ i は1～n）で制御し、更に速度変換装置145 から伝送情報を読み出すクロック VCK_i 、N個のバッファメモリ144 をシェアして書き込むためのクロック $WCK_{i,j}$ （ i, j はそれぞれ1～n）、およびバッファメモリ144 から読み出すためのクロック RCK_i を制御する。

このとき制御装置146 からは次のようなタイミングでバッファメモリ144 への書き込みおよび読み出しを行う。すなわち、N+1 倍の速度のうちのNフェーズでN本の入線132 の情報を時分割で書き込みを行い、残りの1フェーズで出線133 側へ読み出す。

そして、出線133 側へ読み出された出力情報はクロック RCK_i に同期して作動しているラッチ150 でラッチされながらもとの入線の伝送速度に戻されて所要の出線133 に出力され

ていく。第36図を参照すると、書き込み用クロック $WCK_{i,j}$ の立ち上がりで、バッファメモリ144 に書き込まれ、読み出し用クロック RCK_i の立ち上がりで、バッファメモリ144 から読み出されるとともに、ラッチ150 にてラッチされるようになっている。

また、書き込み用クロック $WCK_{i,1} \sim WCK_{i,n}, (\dots, WCK_{n,1} \sim WCK_{n,n})$ はそれぞれ位相が1クロックずつ異なっている。

このようにして、出線対応にバッファメモリ144 を設け、このバッファメモリ144 を入線（出線）の伝送速度のN+1 倍の速度で動作させるとともに、N+1 倍の速度のうちのNフェーズで、N本の入線132 の情報を時分割で書き込み、残りの1フェーズで出線側へ読み出すように構成しているので、第7図のFIFOメモリに相当するメモリの数を1/Nに減少でき、これにより回路規模も小さくできる。

次に自己ルーチング通路の第5実施例について説明する。この第5実施例の意図するところは、前述の第2実施例と同様、メモリ手段の数を減らすことにある。

第38図は自己ルーチング通路の第5実施例の原理ブロック図である。

第5実施例にかかる自己ルーチング通路は、複数の入線と複数の出線とを有し、入線から入力されたルーチングヘッダを含む入力情報を、そのルーチングヘッダに対応した出線に送出するものであって、各入線対応に設けられて入力された入力情報をそれぞれ一時蓄積する複数の蓄積回路151～153、その出力信号及び制御信号に応じて、複数の蓄積回路151～

153 の出力端と複数の出線との間を空間的に接続する切換え回路154、複数の蓄積回路151～153 に蓄積される入力情報例えばバケットのルーチングヘッダがそれぞれ並列にアドレス入力として導かれ、そのアドレスに対応したデータとして複数の蓄積回路151～153 に送出される送出許可信号と切換え回路154 に送出される制御信号とを保持する記憶回路155 を具備する。

各入線に入力された入力情報は蓄積回路151～153 に一時的に保持される。これら入力情報中のルーチングヘッダRHが並列的に取り出されてアドレス入力として記憶回路155 に与えられる。記憶回路155 はそのアドレス対応に送出許可信号と制御信号とを保持しており、それらをそれぞれ蓄積回路151～153 と切り換え回路154 とに送出する。入力情報が衝突を生じた場合は送出許可信号によって、衝突を起こしている複数の蓄積回路のうちの一つが選択されてその蓄積するデータブロックが送出され、一方、制御信号によって切換え回路154 が切り換えられてその選択された入力情報を、そのルーチングヘッダに対応した出線に送出する。かかる操作を順次に繰り返して衝突を起こした入力情報を時間的に分けて順次に同一出線に送出する。

第39図は第38図の第5実施例を実現する具体例を示す回路図であり、この自己ルーチング通路は入出力数が4×4のものを例示している。図中、132(1)～132(4)は入線、162(1)～162(4)はFIFOメモリにより構成される伝送情報バッファ、163(1)～163(4)はFIFOメモリにより構成されるルーチ

ングヘッダバッファ、164(1)～164(4)はルーチングヘッダレジスタ、165はアービトレーションメモリ、166はマトリクススイッチ、133(1)～133(4)は出線、168は送出許可線、169は制御線である。

入線132(1)～132(4)には第4図に示されるようなフォーマットの入力情報が入力される。この入力情報はルーチングヘッダと伝送情報T・INFとからなり、ルーチングヘッダは出線133(1)～133(4)の一つを送出先として指定するものであり、したがって2ビットの情報からなる。伝送情報バッファ162(1)～162(4)は第4図図示の入力情報を複数個順次に記憶できるものであり、ルーチングヘッダバッファ163(1)～163(4)は第4図図示の入力情報のうちのルーチングヘッダRHのみを複数個順次に記憶できる。ルーチングヘッダレジスタ164(1)～164(4)は、ルーチングヘッダバッファ163(1)～163(4)に蓄積されているルーチングヘッダを一つずつ取り出して一時的に保持するものであり、ルーチングヘッダレジスタ164(1)～164(4)の出力は並列的にアービトレーションメモリ165のアドレス入力に導かれる。各ルーチングヘッダレジスタ164(1)～164(4)の出力はそれぞれ2ビットとなっている。

アービトレーションメモリ165には各アドレス対応に1ワードのデータが記憶されており、この1ワードの内容は4ビットの情報送出許可信号と16ビットのクロスポイント制御信号とからなる。情報送出許可信号は伝送情報バッファ162(1)～162(4)にそれぞれ1ビットずつ割り当てられるものであって、バッファ162(1)～162(4)がマトリクススイッチ166

に、その保持する伝送情報を送出してよいか否かを決定する情報である。送出許可の時は“1”、不許可の時は“0”が設定される。これら情報送出許可信号は送出許可線168を介してバッファ162(1)～162(4)のイネーブル端子に送られる。クロスポイント制御情報はマトリクススイッチ166の入出力間の接続を制御するものであり、制御線169を介してマトリクススイッチ166の制御端子に送出される。アービトレーションメモリ165には出線数(M)の入線数(N)乗のワード数(M^N)が格納されている。

以下、通話路の動作を説明する。

各入線132(1)～132(4)に入力された入力情報は伝送情報バッファ162(1)～162(4)にそれぞれ格納されるとともに、そのルーチングヘッダがルーチングヘッダバッファ163(1)～163(4)に格納される。このルーチングヘッダは順次にルーチングヘッダバッファ163(1)～163(4)から読み出されてルーチングヘッダレジスタ164(1)～164(4)に一時格納され、各ルーチングヘッダレジスタ164(1)～164(4)の出力はアドレス信号としてアービトレーションメモリ165に与えられる。これらのルーチングヘッダによってどの入線の入力情報がどの出線に出力されるかが一義に決まる。

アービトレーションメモリ165からアドレス対応のワードが読み出され、伝送情報バッファ162(1)～162(4)に送出許可信号として、またマトリクススイッチ166にクロスポイント制御信号としてそれぞれ送られる。送出許可信号によってバッファ162(1)～162(4)はその格納データを送出でよいか、あ

るいは一時的に送出待合わせするかが決定される。またクロスポイント制御信号によってマトリクススイッチ166は、各入線132(1)～132(4)の入力情報がそのルーチングヘッダ対応の出線に送られるように、バッファ162(1)～162(4)と出線133(1)～133(4)との間の経路設定するように切り換えられる。

いま入線132(1)～132(4)の入力情報が何れも同じ出線を送出先とする衝突が生じた場合、アービトレーションメモリ165はバッファ162(1)～162(4)に送る送出許可信号のうちの一つのみを“1”として当該伝送情報バッファに送出許可を与えてその格納した伝送情報をマトリクススイッチ166を介して所望の出線に出力し、一方、他の伝送情報バッファには入力情報の送出を見合わせる。かかる操作を順次に繰り返して衝突を起こしている入力情報を順次に同一の出線に送出するものである。

このようにして、各入線の入力情報のルーチングヘッダの組合わせをアドレスとしてアービトレーションメモリ165からデータを読み出すことによって、衝突時のアービトレーション処理、すなわち互いに衝突している複数の入線から一つの入線を選択して出線に結合させる処理、とマトリクススイッチ166のバス設定とを同時に行うことができる。

第5実施例は種々の変更態様が可能である。例えばアービトレーションメモリとしてはリードオンリーメモリ(ROM)を用いてその内容を固定してもよいし、あるいはRAMを用いた外部からの制御によって書き換え可能としてもよい。また実施例は入出力が4×4の自己ルーチング通話路について

のものであるが、勿論これに限らず、P×Q(P、Qは2以上の整数)の自己ルーチング通話路にも適用できる。

かくして、入線数がNの場合、入力情報を一時的に保持するためのバッファの数はN個でよく、第7図のもとでのN²個の場合に比べてその数を大幅に減ずることができ、装置の小型化、低廉化が可能となる。またアービトレーションメモリの内容を変更するだけで、衝突時のアービトレーション処理の内容を容易に変更することができる。

産業上の利用分野

本発明は、音声、ファクシミリデータ、コンピュータデータ等の交換網、特に高速バケット交換網や非同期転送モード交換網のデータ交換に利用できる。

Fig. 1

8 X 8 バンヤン

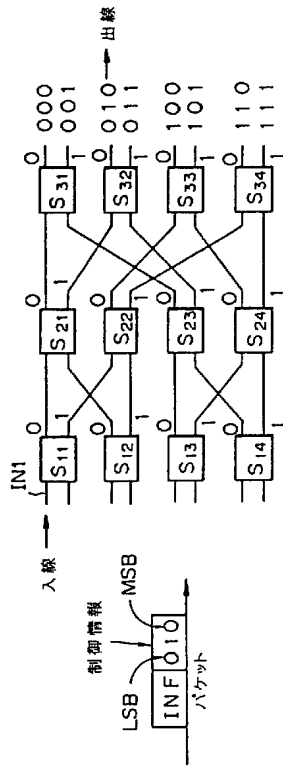


Fig. 2

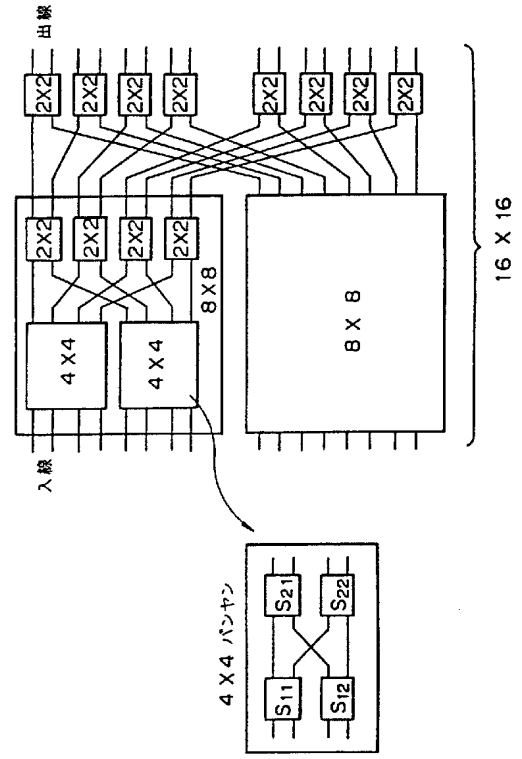


Fig. 3

30

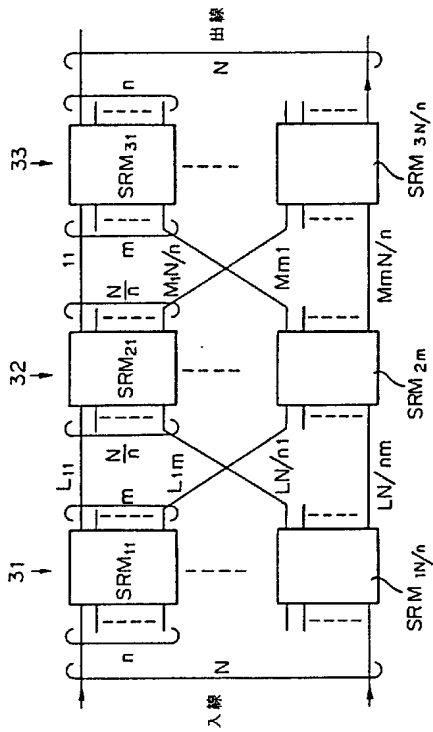


Fig. 4

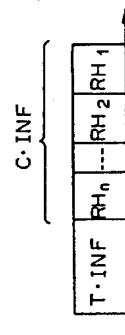


Fig. 5

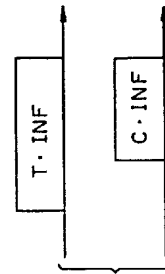


Fig. 8A

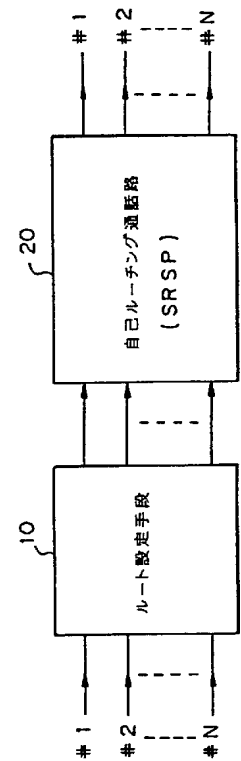


Fig. 6

10

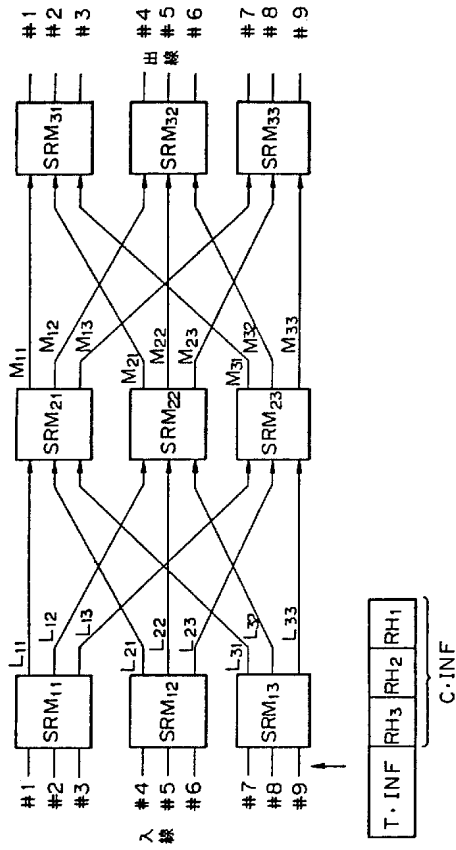


Fig. 7

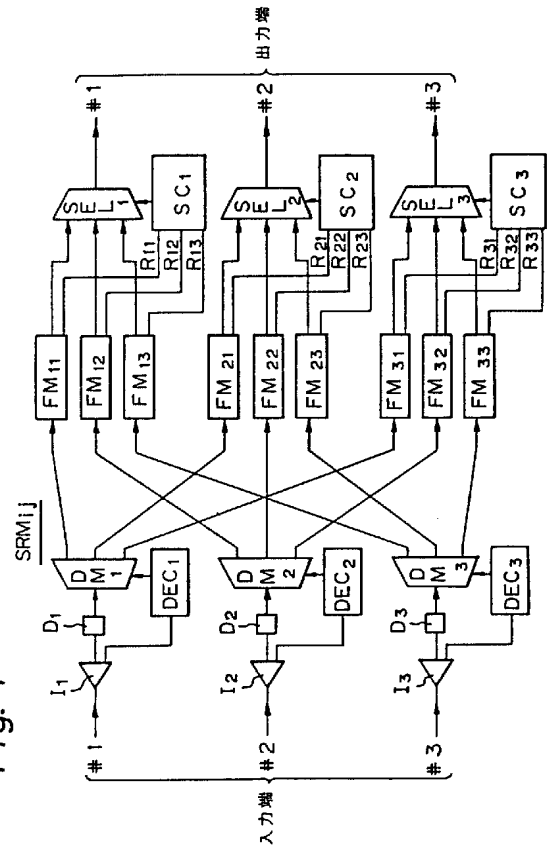


Fig. 8B

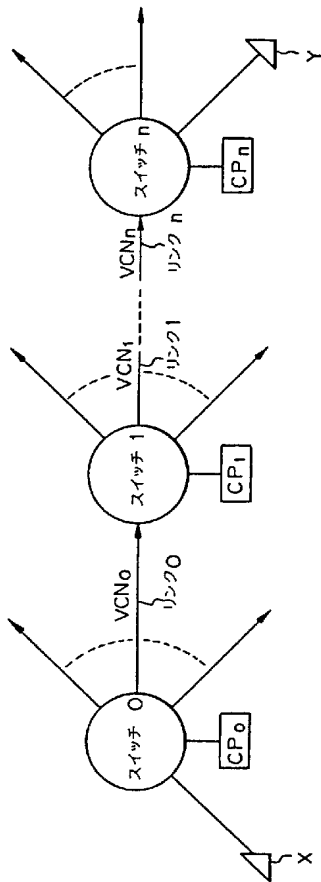


Fig. 9

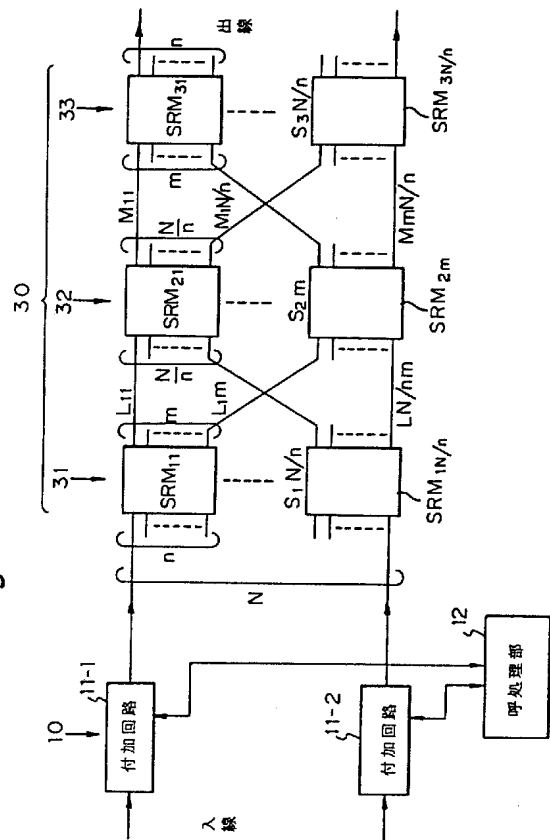


Fig. 10

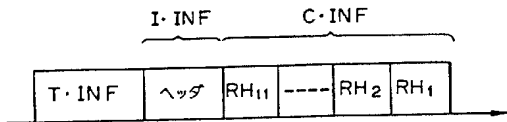


Fig. 11

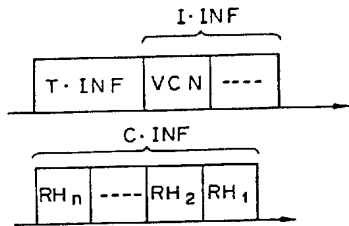


Fig. 19

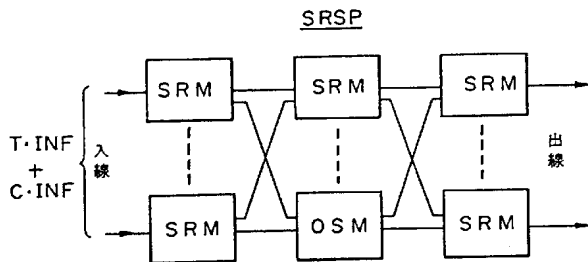


Fig. 12

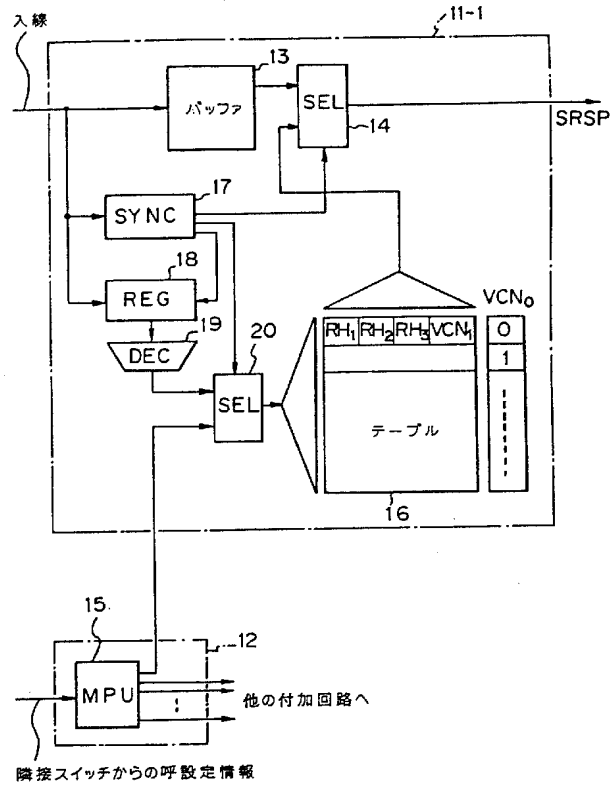


Fig. 13

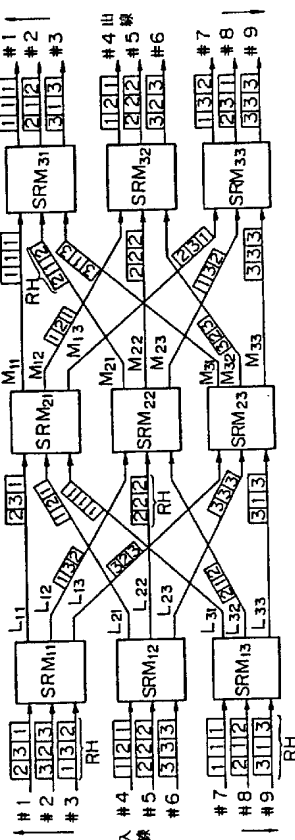


Fig. 14

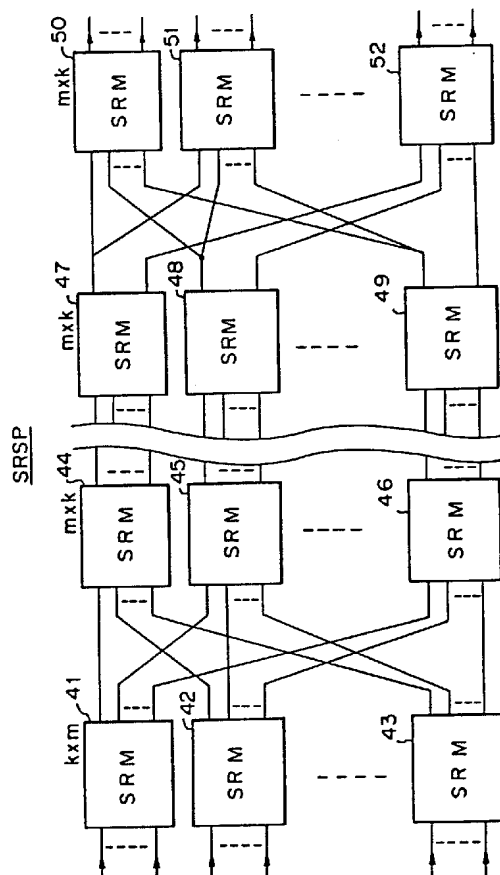


Fig. 15

4 X 4 · SRSP

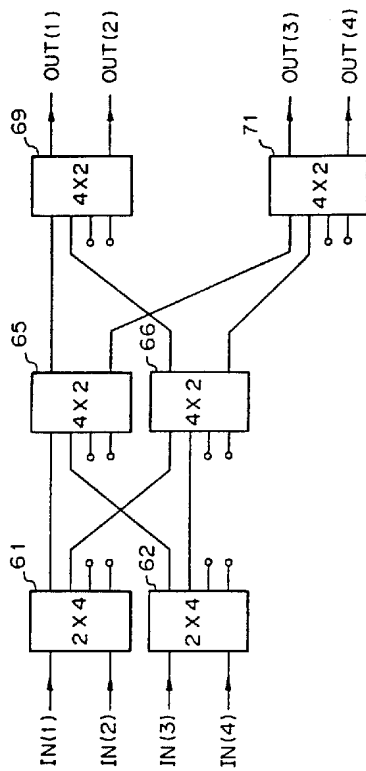


Fig. 16

2 X 4 · SRM

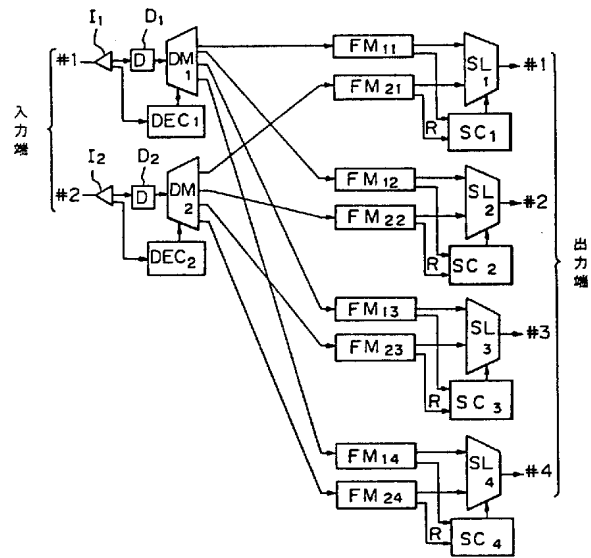


Fig. 17

4 X 2 · SRM

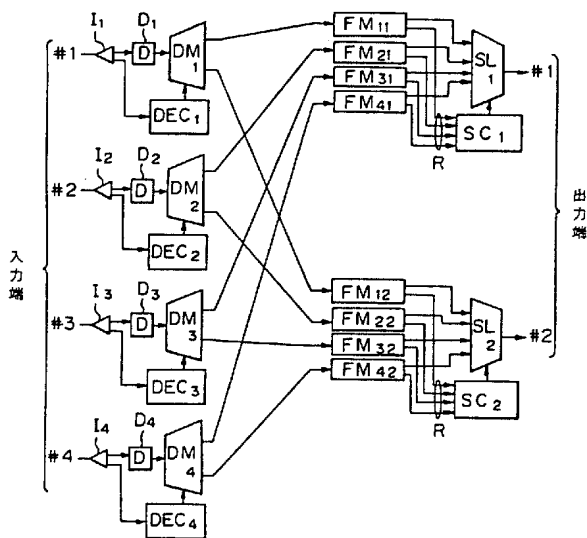


Fig. 18

8 X 8 · SRSP

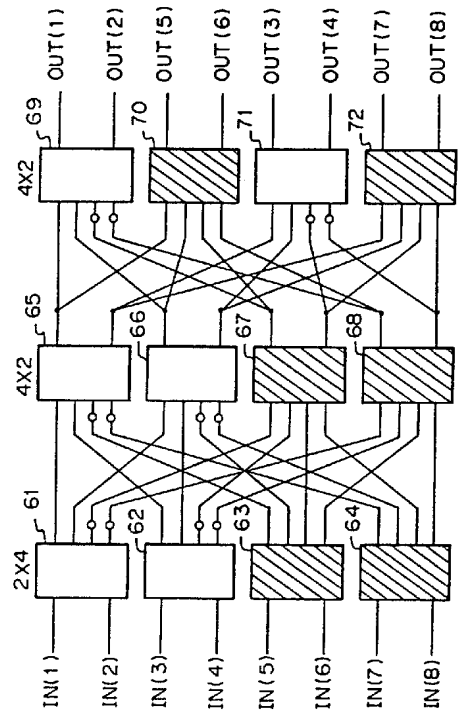


Fig. 20
Fig. 20A
Fig. 20B

Fig. 20A

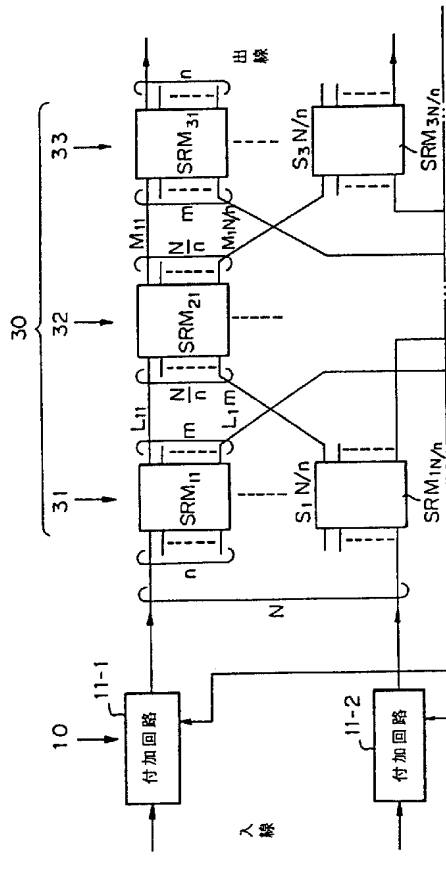


Fig. 20B

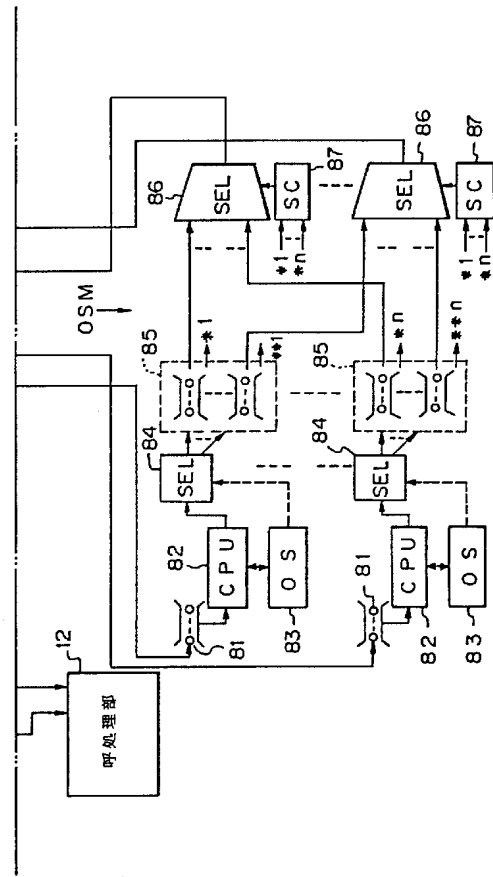


Fig. 21

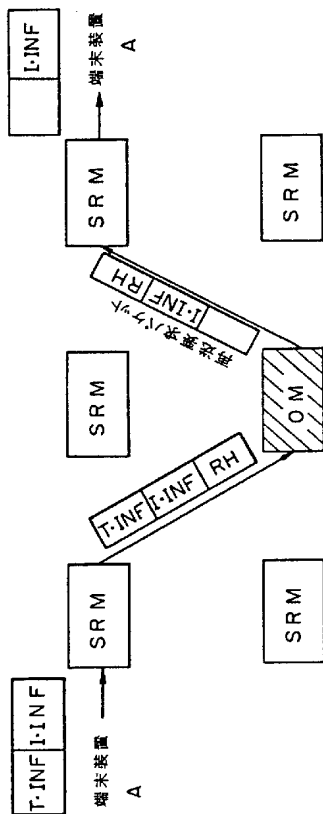


Fig. 22

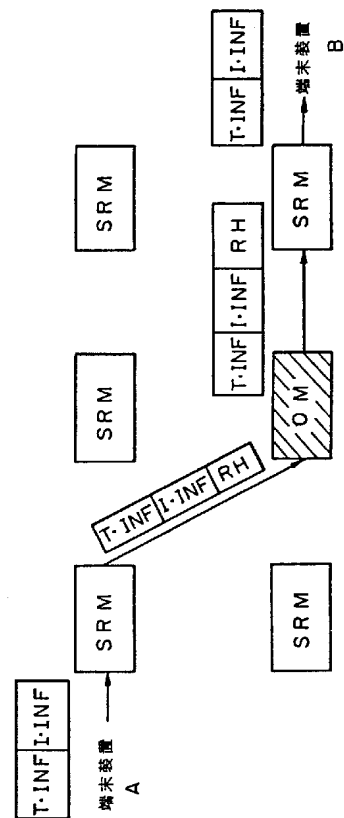


Fig. 28

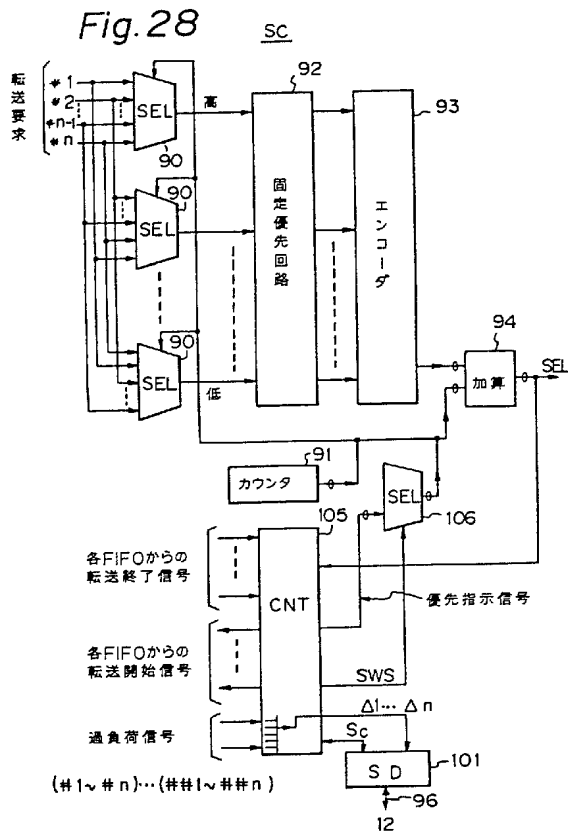


Fig. 29

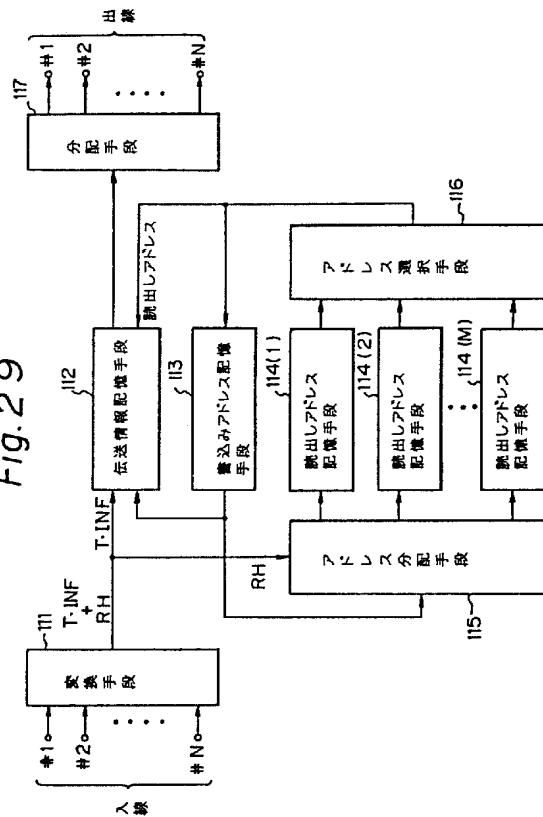


Fig. 30

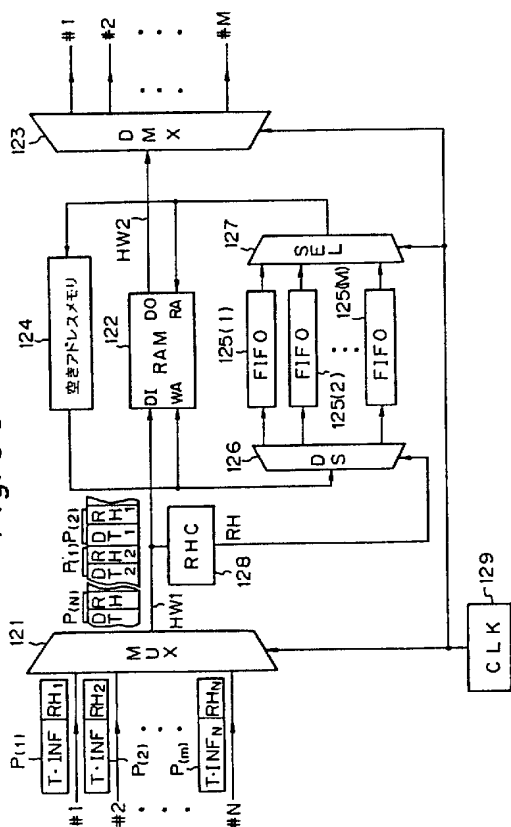


Fig. 31

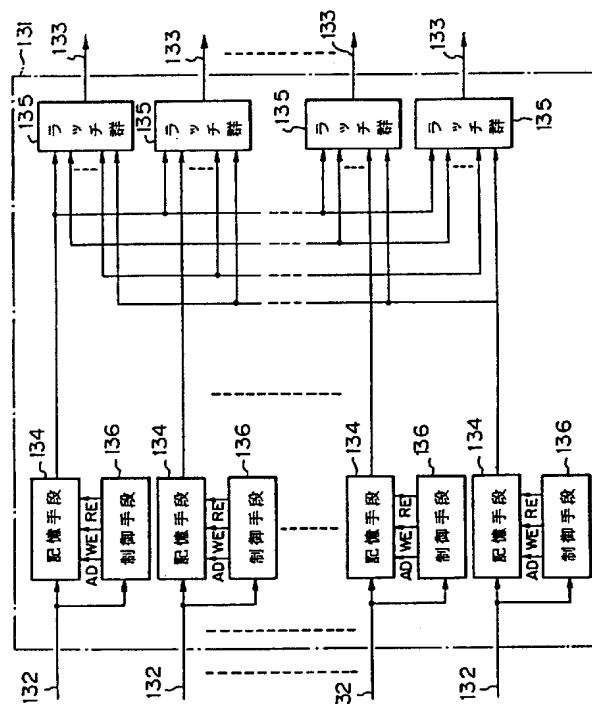


Fig. 34

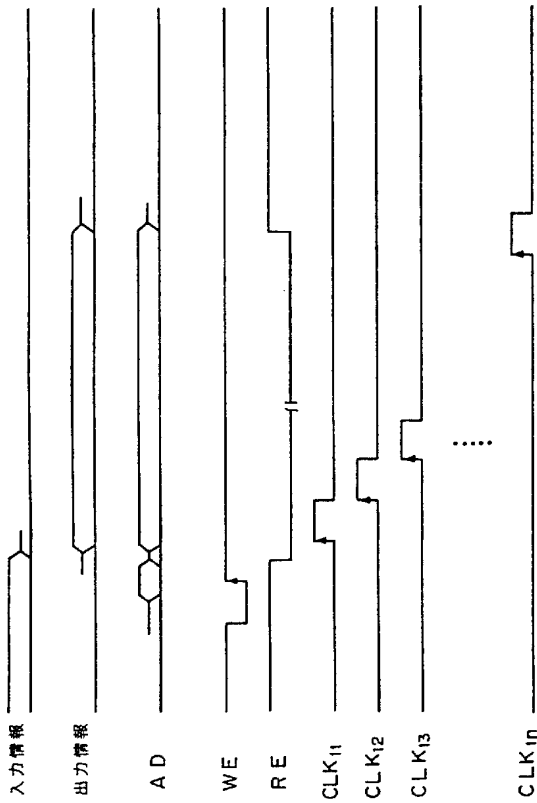


Fig. 32

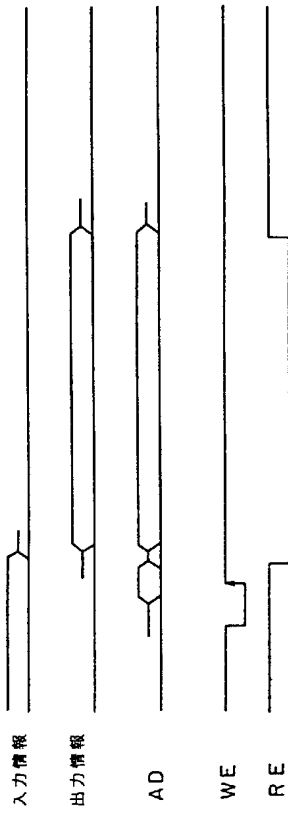


Fig. 35

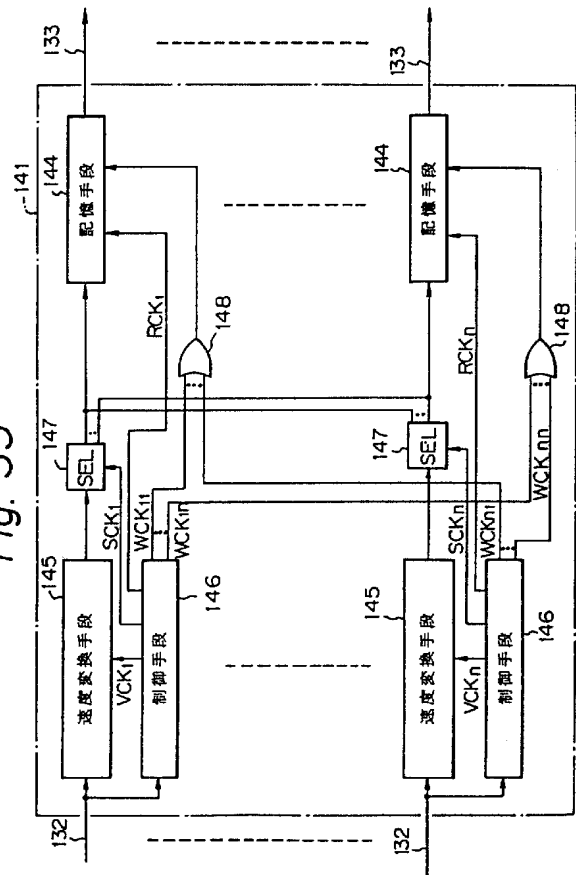


Fig. 33

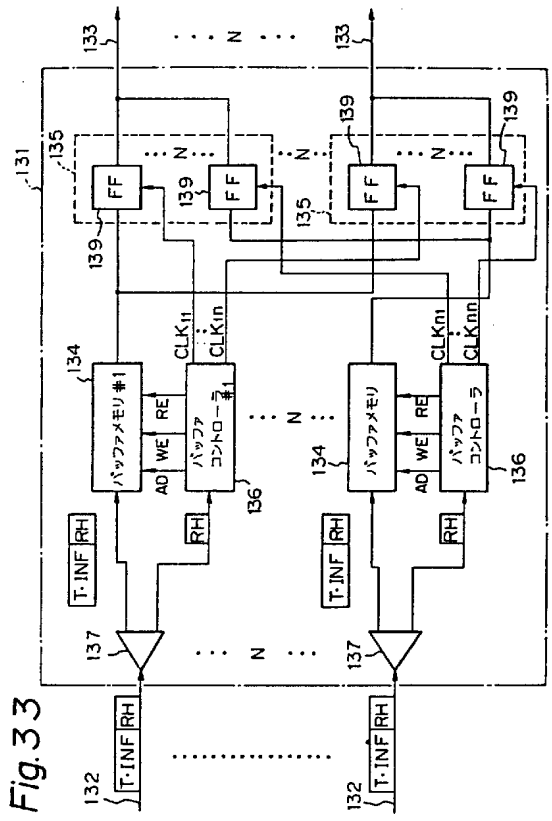


Fig. 36

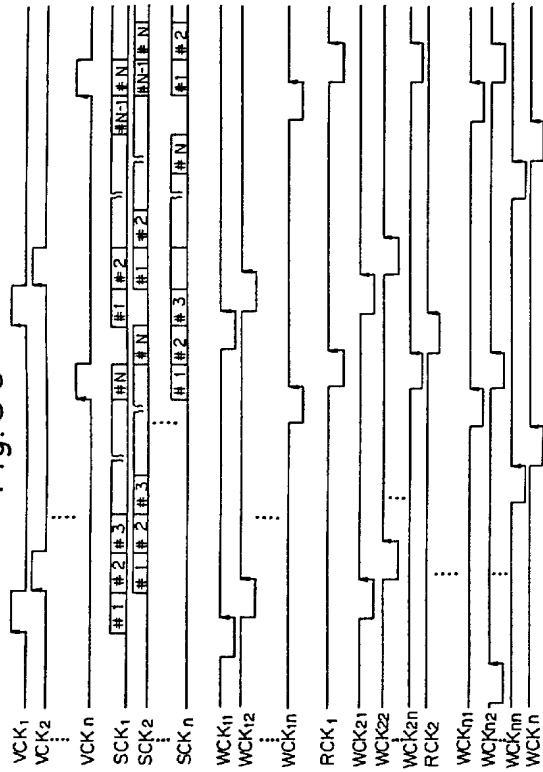


Fig. 37

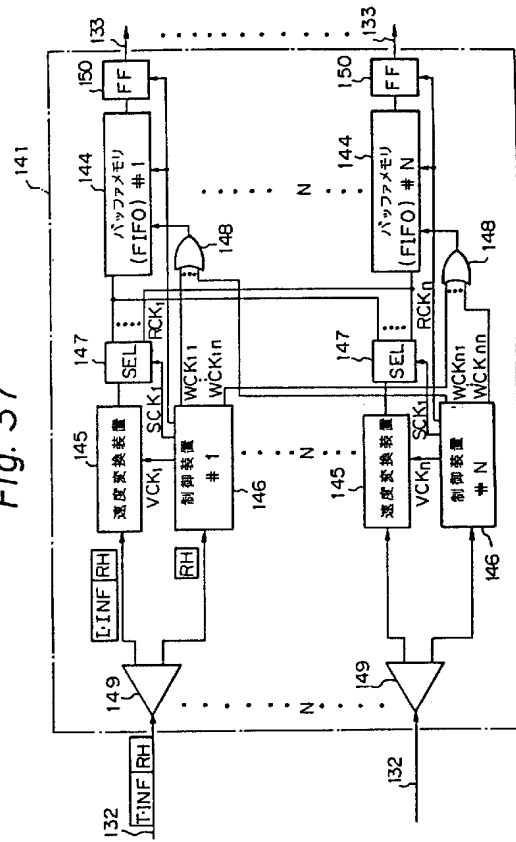


Fig. 38

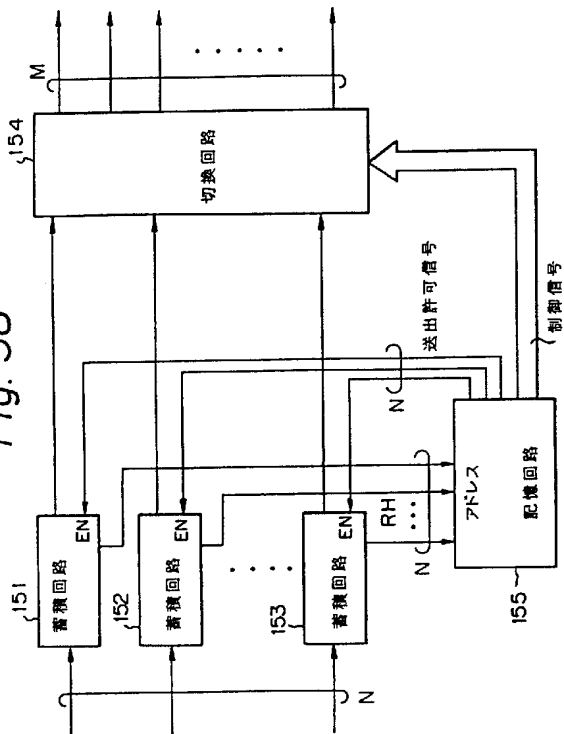
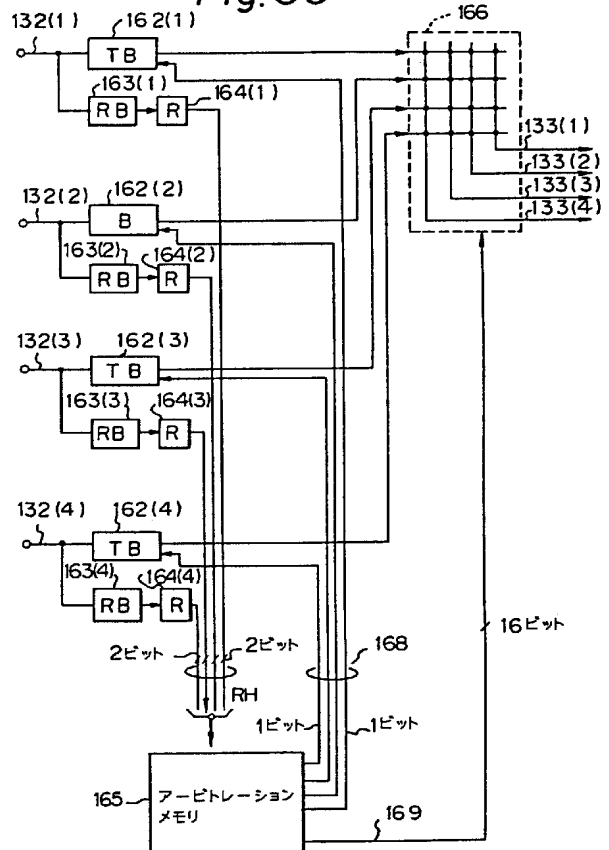


Fig. 39



参照符号・事項の一覧表

1 0 ... ルート設定手段
 1 1 ... 付加回路
 1 2 ... 呼処理部
 1 6 ... テーブル
 20, 30 ... 自己ルーチング通話路
 S R M ... 自己ルーチングスイッチモジュール
 R H ... ルーチングヘッダ
 T・INF ... 伝送情報
 C・INF ... 制御情報
 O S M ... オプションサービスモジュール

国際調査報告

International Application No. PCT/JP 88/00113

I. CLASSIFICATION OF SUBJECT MATTER (If search classification symbols apply, indicate them)
 According to International Patent Classification (IPC) or to the national Classification and IPC:
 IPC⁴: H 04 L 11/20

II. FIELDS SEARCHED
 Minimum Documentation Searched?
 Classification System: Classification Symbols:
 IPC⁴: H 04 L; G 06 F

Documentation Searched other than Minimum Documentation to the extent that such Documents are included in the Fields Searched?

III. DOCUMENTS CONSIDERED TO BE RELEVANT¹

Category ²	Citation of Document, ³ with indication, where appropriate, of the relevant passages ⁴	Relevant to Claim No. ⁵
X	The 6th Annual Symposium on Computer Architecture, 23-25 April 1979, IEEE, (New York, US), T.-Y. Feng et al.: "A microprocessor controlled asynchronous circuit switching network", pages 202-215; see paragraphs II., IV.B.1, IV.D.; figures 2-5, 10, 12	1
Y	---	2-5, 8, 9
A	---	16-20
Y	IEEE Journal on Selected Areas in Communications, volume SAC-4, no. 8, November 1986, IEEE, (New York, US), J.S. Turner: "Design of an integrated services Packet network", pages 1373-1380; see pages 1377-1379	2-4
A	---	1, 5-9, 16-20

* Special categories of cited documents: "1" later document published after the international filing date or priority date and not in conflict with the invention but used to substantiate the grounds or priority of the invention
 "2" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step
 "3" document of particular relevance: the claimed invention cannot be considered to involve an inventive step even if the document is combined with one or more other such documents, such combination being deemed to be a person skilled in the art
 "4" document published prior to the international filing date but later than the priority date claimed
 "5" document of the same patent family

IV. CERTIFICATION
 Date of the Actual Completion of the International Search: 9th May 1988
 Date of Mailing of the International Search Report: 14 SEP 1988
 International Searching Authority: EUROPEAN PATENT OFFICE
 Signature of Authorizing Officer: P.C. VAN DER PUTTEN

Form PCT/ISA/210 (continued sheet) (January 1988) See notes on accompanying sheet

International Application No. PCT/JP 88/00113 -2-

International Application No. PCT/JP 88/00113

M. DOCUMENTS CONSIDERED TO BE RELEVANT (CONTINUED FROM THE SECOND SHEET)

Category ¹	Citation of Document, ² with indication, where appropriate, of the relevant passages ³	Relevant to Claim No.
Y	International Journal of Electronics, volume 56, no. 6, June 1984, (Basingstoke, Hampshire, GB), S.K. Paranjpe et al.: "A new concept for supermodular alignment network", pages 815-822; see paragraphs 3 - 4.1	5, 8, 9
A	---	1-4
A	IEEE Transactions on Computer, volume C-34, no. 2, February 1985, IEEE, (New York, US), M. Kumar et al.: "Switching strategies in shuffle-exchange Packet-switched networks", pages 180-186; see paragraph IV; figure 5	1-7
A	Journal of the Institution of Electronic and Radio Engineers, volume 56, no. 6/7, June/July 1986, IERE, (London, GB), M. Nagasawa et al.: "Packet switching network access protocols for multi-media packet communications", pages 243-247; see paragraph 4	10-20
A	EP, A, 0113639 (SERVEL et al.) 18 July 1984; see abstract; figure 1	1-3, 21, 22
A	Proceedings of the 1981 International Conference on Parallel Processing, 25-28 August 1981, IEEE, (New York, US), R.J. McMillen et al.: "Performance and implementation of 4x4 switching nodes in an interconnection network for PASM", pages 229-233; see figure 3	1-3, 23, 24
A	BE, A, 904100 (ITT) 24 July 1986; see page 6, line 18 - page 9, line 1; figures	1-3, 25-27
A	EP, A, 0206403 (RACAL) 30 December 1986; see abstract; figure 4	1-3, 28, 29

Form PCT/ISA/210 (extra sheet) (January 1988) See notes on accompanying sheet

International Application No. PCT/JP 88/00113

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

V. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE¹
 The international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:
 1. Claim numbers: because they relate to subject matter not required to be searched by this Authority, namely:
 2. Claim numbers: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
 3. Claim numbers: because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 8.4(a).

VI. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING²
 This International Searching Authority found multiple inventions in this international application as follows:
 Please refer to Form PCT/ISA 206 dated 20th May 1988
 Claims 1-9, 16-20 Claims 23, 24
 Claims 10-15 Claims 25-27
 Claims 21, 22 Claims 28, 29
 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
 2. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
 3. He required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the inventions first mentioned in the claims; it is covered by claim numbers:
 4. As all searchable claims could be searched without effort justifying an additional fee, the international Searching Authority did not require payment of any additional fee.
 5. The additional search fees were accompanied by applicant's promise.
 6. He promised to reimburse the payment of additional search fees.

Form PCT/ISA/210 (unaccompanied sheet) (January 1988) See notes on accompanying sheet

国際調査報告

JP 8800113
SA 20574

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office (EPO) file on 06/09/88. The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A- 0113639	18-07-84	EP-A, B 0113307	11-07-84
		FR-A, B 2538976	06-07-84
		JP-A- 59135994	04-08-84
		US-A- 4603416	29-07-86
		CA-A- 1224556	21-07-87
BE-A- 904100	24-07-86	EP-A- 0231967	12-08-87
		WO-A- 8704579	30-07-87
EP-A- 0206403	30-12-86	US-A- 4641302	03-02-87
		JP-A- 62011344	20-01-87

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

第1頁の続き

優先権主張

⑫昭62(1987)3月18日⑬日本(JP)⑭特願 昭62-63554
 ⑫昭62(1987)3月18日⑬日本(JP)⑭特願 昭62-63555
 ⑫昭62(1987)5月19日⑬日本(JP)⑭特願 昭62-120296
 ⑫昭62(1987)5月20日⑬日本(JP)⑭特願 昭62-121054
 ⑫昭62(1987)7月15日⑬日本(JP)⑭特願 昭62-176466
 ⑫昭62(1987)7月16日⑬日本(JP)⑭特願 昭62-175950
 ⑫昭62(1987)9月16日⑬日本(JP)⑭特願 昭62-231816
 ⑫昭62(1987)9月16日⑬日本(JP)⑭特願 昭62-231817

⑦発明者 磯 野 修
 ⑦発明者 橘 哲 夫
 ⑦発明者 岩 渕 英 介
 ⑦発明者 早 見 七 郎

神奈川県川崎市高津区蔭ノ口452 七浦荘
 神奈川県川崎市中原区上新城1-4-39 第一新城寮
 神奈川県横浜市金沢区六浦2-4-14
 神奈川県横浜市緑区長津田4-9-6 ホドガヤマンション408号